



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: NAKAMURA, Shunji, et al.

Group Art Unit: Not Yet Assigned

Serial No.: 10/708,792

Examiner: Not Yet Assigned

Filed: March 22, 2004

For. SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING SAME

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Date: March 25, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Appln. No. 2003-332383, filed September 24, 2003**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, KRATZ, QUINTOS,  
HANSON & BROOKS, LLP

Mel R. Quintos  
Attorney for Applicants  
Reg. No. 31,898

MRQ/lrj  
Atty. Docket No. 040126  
Suite 1000  
1725 K Street, N.W.  
Washington, D.C. 20006  
(202) 659-2930



23850

PATENT TRADEMARK OFFICE

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   9 月 2 4 日  
Date of Application:

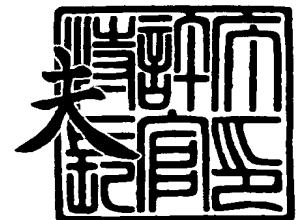
出 願 番 号            特 願 2 0 0 3 - 3 3 2 3 8 3  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 3 3 2 3 8 3 ]

出   願   人            富 士 通 株 式 会 社  
Applicant(s):

2 0 0 4 年   1 月   7 日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

今 井 康



出 証 番 号    出 証 特 2 0 0 3 - 3 1 0 9 3 7 5

【書類名】 特許願  
【整理番号】 0340027  
【提出日】 平成15年 9月24日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 29/78  
【発明者】  
    【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社  
                                内  
    【氏名】 中村 俊二  
【発明者】  
    【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社  
                                内  
    【氏名】 島宗 洋介  
【特許出願人】  
    【識別番号】 000005223  
    【氏名又は名称】 富士通株式会社  
【代理人】  
    【識別番号】 100092152  
    【弁理士】  
    【氏名又は名称】 服部 毅巖  
    【電話番号】 0426-45-6644  
【手数料の表示】  
    【予納台帳番号】 009874  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 9705176

**【書類名】 特許請求の範囲****【請求項 1】**

半導体層上にゲート絶縁膜を介して形成されたゲート電極と、前記半導体層に形成されたソース・ドレインと、を有する半導体装置において、

前記半導体層は、前記ソース・ドレインに挟まれた前記ゲート電極直下の領域から前記ソース・ドレイン側の領域に向かって湾曲していることを特徴とする半導体装置。

**【請求項 2】**

前記半導体層に形成された前記ソース・ドレインの下および前記ソース・ドレインに挟まれた前記ゲート電極直下の領域の下が空洞になっていることを特徴とする請求項 1 記載の半導体装置。

**【請求項 3】**

前記半導体層に形成された前記ソース・ドレインの下および前記ソース・ドレインに挟まれた前記ゲート電極直下の領域の下に絶縁膜が形成されていることを特徴とする請求項 1 記載の半導体装置。

**【請求項 4】**

半導体層上にゲート絶縁膜を介して形成されたゲート電極と、半導体層に形成されたソース・ドレインと、を有する半導体装置の製造方法において、

基板上に犠牲層と半導体層との積層領域と前記積層領域を囲む素子分離領域とを形成する工程と、

前記素子分離領域上および前記半導体層上にゲート絶縁膜を介してゲート電極を形成する工程と、

前記素子分離領域と前記半導体層との間に前記犠牲層が露出する開口部を形成する工程と、

前記開口部から前記犠牲層を除去して前記半導体層下に空洞を形成する工程と、  
を有することを特徴とする半導体装置の製造方法。

**【請求項 5】**

前記開口部から前記犠牲層を除去して前記半導体層下に前記空洞を形成する工程の後に、前記半導体層を湾曲させる工程を有することを特徴とする請求項 4 記載の半導体装置の製造方法。

**【請求項 6】**

前記素子分離領域と前記半導体層との間に前記犠牲層が露出する前記開口部を形成する工程においては、前記素子分離領域を前記基板側へと除去していき、前記犠牲層の側面を一部露出させることによって前記開口部を形成することを特徴とする請求項 4 記載の半導体装置の製造方法。

**【請求項 7】**

半導体層上にゲート絶縁膜を介して形成されたゲート電極と、半導体層に形成されたソース・ドレインと、を有する半導体装置の製造方法において、

基板上に犠牲層と半導体層との積層領域と前記積層領域を囲む素子分離領域とを形成する工程と、

前記素子分離領域上および前記半導体層上にゲート絶縁膜を介してゲート電極を形成する工程と、

前記半導体層に前記ゲート電極直下の領域を挟むソース・ドレインを形成する工程と、  
全面に層間絶縁膜を形成する工程と、

前記層間絶縁膜を貫通するコンタクトホールを形成する工程と、

前記コンタクトホールから前記犠牲層を除去して前記半導体層下に空洞を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

**【請求項 8】**

半導体層上にゲート絶縁膜を介して形成されたゲート電極と、半導体層に形成されたソース・ドレインと、を有する半導体装置において、

基板上に半導体をドーム型に形成してなるドーム型半導体を有し、前記ドーム型半導体の外壁側に形成されたゲート絶縁膜およびゲート電極と、前記ドーム型半導体の内壁側に形成されて前記ゲート電極直下の領域を挟んでソース・ドレインが形成された半導体層と、を有することを特徴とする半導体装置。

【請求項 9】

半導体層上にゲート絶縁膜を介して形成されたゲート電極と、半導体層に形成されたソース・ドレインと、を有する半導体装置の製造方法において、  
基板表面に部分的に第 1 の半導体層を形成する工程と、  
全面に第 2 の半導体層を形成する工程と、  
前記第 1 の半導体層直上の前記第 2 の半導体層上にゲート絶縁膜およびゲート電極を形成する工程と、  
前記第 2 の半導体層に前記第 1 の半導体層に達する開口部を形成して前記第 1 の半導体層を選択的に除去し前記第 2 の半導体層からなるドーム型半導体を形成する工程と、  
前記ドーム型半導体の内壁側にソース・ドレインが形成される第 3 の半導体層を形成する工程と、  
を有することを特徴とする半導体装置の製造方法。

【請求項 1 0】

前記ドーム型半導体の内壁側に前記ソース・ドレインが形成される前記第 3 の半導体層を形成する工程においては、前記ドーム型半導体の内壁側にキャップ層である第 4 の半導体層を形成した後、前記第 4 の半導体層上に前記第 3 の半導体層を形成することを特徴とする請求項 9 記載の半導体装置の製造方法。

## 【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

## 【技術分野】

【0001】

本発明は半導体装置およびその製造方法に関し、特にキャリアとなる電子または正孔の高速移動を可能にしたトランジスタ構造を備える半導体装置およびその製造方法に関する。

## 【背景技術】

【0002】

近年、社会は高度情報化に向けて急速に発展しており、大型コンピュータをはじめ、パーソナルコンピュータ（PC）、携帯情報端末（PDA）、携帯電話等、多くの情報処理電子機器の更なる高速化、高機能化、低消費電力化が推し進められている。このような情報処理電子機器を更に発展させるためには、その発展を内部から支える半導体装置の高速化、高機能化、低消費電力化が必須である。

【0003】

図64は従来の半導体装置の基本構造の断面概略図である。

図64に示す半導体装置100は、シリコン（Si）基板101に素子分離領域102が形成されており、素子分離領域102で囲まれた領域はトランジスタの形成領域となる。トランジスタ形成領域にはゲート絶縁膜103およびゲート電極104が形成され、Si基板101内には低濃度のLDD（Lightly Doped Drain）領域105、ソース・ドレイン106が形成されている。このソース・ドレイン106にプラグ107が接続され、プラグ107が配線層108に接続されて半導体装置100が構成されている。なお、Si基板101内には必要に応じてウェル領域が形成される。

【0004】

これまでトランジスタは主にゲート電極を微細化することによってその性能向上が図られてきた。しかし、ゲート電極の微細化には膨大な設備投資がかかる上、いずれその微細化に限界が訪れると考えられることから、ゲート電極の微細化に頼らないトランジスタの性能向上が試みられている。ここで、トランジスタの性能向上を目的とした従来の半導体装置を、以下の図65から図67の第1～第3の例に示す。

【0005】

図65は従来の第1の例の半導体装置の断面概略図である。ただし、図65では、図64に示した要素と同一の要素については同一の符号を付している。

図65に示す半導体装置200は、チャンネルが形成されるSi基板101の表面領域にシリコンゲルマニウム（SiGe）層201がエピタキシャル成長されている点で図64の半導体装置100と相違している。その他の構成は半導体装置100と同じである。SiとSiGeは格子定数が異なり、SiGeの方がSiよりも大きい。しかし、Siの上に薄くSiGeが形成されることにより、SiGeはSiと同じ格子定数で形成されるようになる。このような構造はいわゆる「歪みSiGe構造」と呼ばれるもので、ホール移動度がSi基板101のみを用いた場合に比べて2倍程度大きくなる。

【0006】

図66は従来の第2の例の半導体装置の断面概略図である。ただし、図66では、図64および図65に示した要素と同一の要素については同一の符号を付している。

図66に示す半導体装置300は、Si基板101上にSiGe層201とSi層301が順にエピタキシャル成長された積層構造を有しており、最上層のSi層301をトランジスタのチャンネルとして用いるようにしている点で図65の半導体装置200と相違している。その他の構成は第1の例の半導体装置200と同じである。第2の例の半導体装置300では、まず、Si基板101上にSiGeをエピタキシャル成長してSiGe層201が形成される。SiGeは成長初期の膜厚が薄いうちはSiと同じ格子定数を持つが、厚く形成するに従ってSiGe本来の格子定数を持つようになる（リラックスSiGe層）。このようなリラックスSiGe層上に更にSiを薄くエピタキシャル成長すると

、歪み SiGe 構造の場合とは逆に、Si が SiGe と同じ格子定数で形成されるようになる。このような構造はいわゆる「歪み Si 構造」と呼ばれるもので、Si 基板 101 のみを用いた場合に比べ、電子移動度が 2 倍程度、ホール移動度が数十%程度大きくなる。

#### 【0007】

図 67 は従来の第 3 の例の半導体装置の断面概略図である。ただし、図 67 では、図 64 に示した要素と同一の要素については同一の符号を付している。

図 67 に示す半導体装置 400 は、格子定数の違いから生じる歪みを利用した上記の第 1、第 2 の例とは異なる。半導体装置 400 では、Si 基板 101 のゲート電極 104 側に絶縁膜 401 が形成されており、この絶縁膜 401 の熱処理過程における膨張あるいは収縮に伴う応力によって Si 基板 101 を広げるような力を発生させている。これにより、トランジスタのチャネル領域に歪みを発生させ、キャリア移動度の向上が図られている。このような構造でトランジスタのチャネル領域に歪みを発生させることにより、電子移動度が数十%程度大きくなると言われている。

#### 【0008】

従来は、以上例示したような歪みを利用したトランジスタ構造を採ることにより、ゲート電極の微細化に依らない電子あるいは正孔の移動度向上が図られてきた。しかし、従来の一般的なトランジスタ構造の場合、ソース・ドレインー基板間やチャネルー基板間には p n 接合に起因する寄生容量が存在し、この寄生容量によりトランジスタ動作に遅延が生じるので、この問題を解決して、高速かつ低消費電力のトランジスタを形成することが強く望まれていた。

#### 【0009】

p n 接合に起因する寄生容量の問題に対しては、ソース・ドレインおよびチャネルが形成される半導体層の下に空洞を設けた半導体装置が提案されている（例えば特許文献 1 参照）。この提案によれば、半導体層が、絶縁層の役割を果たす空洞上に形成され、SOI (Silicon On Insulator) 構造が実現されている。通常の SOI 構造で半導体層の下に形成される酸化シリコン ( $\text{SiO}_2$ ) などの絶縁層よりもいっそう誘電率が低い空洞を設けることで、ソース・ドレインー基板間容量、チャネルー基板間容量を低減し、トランジスタ動作が遅延するのを抑制するようにしている。このような半導体装置の形成は、まず、半導体基板上に犠牲酸化膜と半導体層を積層し、犠牲酸化膜と半導体層を、形成するトランジスタのゲートサイズにパターニングし、露出部分を保護酸化膜で覆う。そして、保護酸化膜をサイドウォールとして残して開口部を形成した後、開口部からエッチング液を浸入させて犠牲酸化膜を選択的に除去する。その後、開口部は化学気相成長 (Chemical Vapor Deposition, CVD) 法やスパッタ法により絶縁膜で塞がれ、犠牲酸化膜が除去されてできた空洞上の半導体層にゲート電極およびソース・ドレインが形成される。

【特許文献 1】特開 2000-22158 号公報（段落番号 [0019] ~ [0025]，[0035] ~ [0039]，図 1，図 3，図 4）

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0010】

前述のように、従来、チャネル領域に歪みを発生させて高速化を図った種々のトランジスタ構造が提案されてきた。しかしながら、将来的には、上記第 1 ~ 第 3 の例に示したようなトランジスタ構造では、得られるキャリア移動度は十分とは言えなくなる。また、これらのトランジスタ構造は、ホール移動度の向上と電子移動度の向上のいずれにも大きな効果があるとは限らず、p 型、n 型トランジスタを同一基板上に形成する場合など、製造上、p 型、n 型トランジスタ双方の高速化が図れないといった問題も生じ得る。さらに、歪み SiGe 構造や歪み Si 構造を用いた場合、格子定数が異なる半導体層のエピタキシャル成長では膜厚の増加に伴い結晶表面モフォロジーが劣化し易いため、チャネルが形成される SiGe 層や Si 層に転位等の結晶欠陥を発生させないような対策が必要になる。

#### 【0011】

また、チャネルが形成される半導体層の下に空洞を設けた従来のようなトランジスタ構

造の場合、空洞の上に細いゲート電極が形成されることになるため、ゲート電極が空洞側に落下しやすいという問題がある。また、空洞を形成するための犠牲酸化膜を除去する開口部が、ゲート電極に比較的近い領域に形成されるようになる。そのため、開口部を例えばエピタキシャル層等で塞ぐ際に、それが空洞内に深く入り込んで空洞を埋めてしまう可能性があり、その場合、微細トランジスタでは十分な性能向上の効果が得られなくなる。空洞は厚い方が寄生容量の低減効果は大きくなるが、絶縁膜が空洞内に入り込みにくいよう空洞を厚く形成することを避ければ、寄生容量の低減効果が十分に得られない場合が生じ得る。

#### 【0012】

本発明はこのような点に鑑みてなされたものであり、キャリア移動度が大きく、寄生容量の低いトランジスタ構造を備えた高速、低消費電力の半導体装置およびその製造方法を提供することを目的とする。

#### 【課題を解決するための手段】

#### 【0013】

本発明では上記問題を解決するために、図1に例示する構成によって実現可能な半導体装置が提供される。本発明の半導体装置は、半導体層上にゲート絶縁膜を介して形成されたゲート電極と、前記半導体層に形成されたソース・ドレインと、を有する半導体装置において、前記半導体層は、前記ソース・ドレインに挟まれた前記ゲート電極直下の領域から前記ソース・ドレイン側の領域に向かって湾曲していることを特徴とする。

#### 【0014】

図1に示すような半導体装置1によれば、半導体層である薄膜Si層5が、ソース・ドレイン10に挟まれたゲート電極8直下の領域からソース・ドレイン10側の領域に向かって湾曲しているため、ゲート電極8直下の領域に非常に大きな歪みが発生する。このようにトランジスタのチャネル領域に大きな歪みが発生することでキャリア移動度は大きくなる。

#### 【0015】

さらに、本発明では、半導体層上にゲート絶縁膜を介して形成されたゲート電極と、半導体層に形成されたソース・ドレインと、を有する半導体装置の製造方法において、基板上に犠牲層と半導体層との積層領域と前記積層領域を囲む素子分離領域とを形成する工程と、前記素子分離領域上および前記半導体層上にゲート絶縁膜を介してゲート電極を形成する工程と、前記素子分離領域と前記半導体層との間に前記犠牲層が露出する開口部を形成する工程と、前記開口部から前記犠牲層を除去して前記半導体層下に空洞を形成する工程と、前記半導体層に前記ゲート電極直下の領域を挟むソース・ドレインを形成する工程と、を有することを特徴とする半導体装置の製造方法が提供される。

#### 【0016】

このような半導体装置の製造方法によれば、素子分離領域と半導体層との間に形成された開口部から犠牲層を除去し、半導体層のゲート電極直下の領域およびソース・ドレイン領域の下に空洞を形成するので、寄生容量の低い半導体装置が製造される。

#### 【0017】

さらに、本発明では、半導体層上にゲート絶縁膜を介して形成されたゲート電極と、半導体層に形成されたソース・ドレインと、を有する半導体装置の製造方法において、基板上に犠牲層と半導体層との積層領域と前記積層領域を囲む素子分離領域とを形成する工程と、前記素子分離領域上および前記半導体層上にゲート絶縁膜を介してゲート電極を形成する工程と、前記半導体層に前記ゲート電極直下の領域を挟むソース・ドレインを形成する工程と、全面に層間絶縁膜を形成する工程と、前記層間絶縁膜を貫通するコンタクトホールを形成する工程と、前記コンタクトホールから前記犠牲層を除去して前記半導体層下に空洞を形成する工程と、を有することを特徴とする半導体装置の製造方法が提供される。

#### 【0018】

このような半導体装置の製造方法によれば、例えばソース・ドレインにプラグを接続す

るために形成するコンタクトホールを形成し、そこから犠牲層を除去して半導体層のゲート電極直下の領域およびソース・ドレイン領域の下に空洞を形成するので、寄生容量の低い半導体装置が製造される。

#### 【0019】

また、本発明では、半導体層上にゲート絶縁膜を介して形成されたゲート電極と、半導体層に形成されたソース・ドレインと、を有する半導体装置において、基板上に半導体をドーム型に形成してなるドーム型半導体を有し、前記ドーム型半導体の外壁側に形成されたゲート絶縁膜およびゲート電極と、前記ドーム型半導体の内壁側に形成されて前記ゲート電極直下の領域を挟んでソース・ドレインが形成された半導体層と、を有することを特徴とする半導体装置が提供される。

#### 【0020】

このような半導体装置によれば、ドーム型半導体が基板上に形成され、その外壁側にゲート絶縁膜およびゲート電極、内壁側にチャネルとなる半導体層がそれぞれ形成されている。この場合、半導体層はドーム型半導体の内壁側にゲート電極側から形成され、トランジスタのチャネルは半導体層の結晶欠陥の少ない形成初期表面に形成されることになる。

#### 【0021】

さらに、本発明では、半導体層上にゲート絶縁膜を介して形成されたゲート電極と、半導体層に形成されたソース・ドレインと、を有する半導体装置の製造方法において、基板表面に部分的に第1の半導体層を形成する工程と、全面に第2の半導体層を形成する工程と、前記第1の半導体層直上の前記第2の半導体層上にゲート絶縁膜およびゲート電極を形成する工程と、前記第2の半導体層に前記第1の半導体層に達する開口部を形成して前記第1の半導体層を選択的に除去し前記第2の半導体層からなるドーム型半導体を形成する工程と、前記ドーム型半導体の内壁側にソース・ドレインが形成される第3の半導体層を形成する工程と、を有することを特徴とする半導体装置の製造方法が提供される。

#### 【0022】

このような半導体装置の製造方法によれば、外壁側にゲート絶縁膜およびゲート電極が形成されたドーム型半導体が第1、第2の半導体層を用いて形成され、このドーム型半導体の内壁側に、ソース・ドレインが形成される第3の半導体層が形成される。そのため、第3の半導体層はドーム型半導体の内壁側にゲート電極側から形成され、トランジスタのチャネルは第3の半導体層の結晶欠陥の少ない形成初期表面に形成されることになる。

#### 【発明の効果】

#### 【0023】

本発明では、半導体層を湾曲させてチャネル領域に大きな歪みを発生させるので、キャリア移動度を劇的に向上させることができ、半導体装置の高速化を実現することができる。さらに、この湾曲した半導体層の下に空洞を設けたり絶縁膜を形成したりすれば、寄生容量を低減することもできるようになる。したがって、半導体装置の高速化、低消費電力化が実現可能となる。

#### 【0024】

また、本発明では、基板上にドーム型半導体を形成し、このドーム型半導体の内壁側に形成した半導体層の形成初期表面がチャネルとなるようにしたので、半導体装置の高速化を実現することができる。さらに、チャネルが形成される半導体層の下を絶縁層とすれば、寄生容量を低減することができるようになる。したがって、半導体装置の高速化、低消費電力化が実現可能となる。

#### 【発明を実施するための最良の形態】

#### 【0025】

まず、第1の実施の形態について説明する。

図1は第1の実施の形態の半導体装置の第1の構成例であって、(A)は平面から見た要部平面概略図、(B)は(A)のX-X'断面概略図、(C)は(A)のY-Y'断面概略図である。

#### 【0026】

図1 (A), (B), (C) に示す半導体装置1は、Si基板2に形成された素子分離領域3を有し、素子分離領域3で囲まれたトランジスタ形成領域には、図1 (B), (C) に示すように、空洞4を空けて薄膜Si層5が形成されている。この薄膜Si層5の表面にはゲート絶縁膜7が形成されている。ゲート絶縁膜7上にはゲート電極8が形成され、ゲート電極8の側壁にはサイドウォール9が形成されている。Si基板2には、図1 (C) に示すように、例えば薄膜Si層5からSi基板2にかけて、ソース・ドレイン10が形成されている。ゲート電極8およびソース・ドレイン10には、層間絶縁膜11を貫通するプラグ12を介して配線層13が接続されている。ただし、図1 (A) には、層間絶縁膜11は図示を省略している。

#### 【0027】

この半導体装置1の薄膜Si層5は、ゲート絶縁膜7を挟んでゲート電極8に接続されており、図1 (C) に示したように、このゲート電極8部分を支点として、例えばY-Y' 断面から見て略円弧状にSi基板2側に湾曲した構造になっている。図1 (C) に示した薄膜Si層5のゲート長方向の端部は、Si基板2の表面に接している。半導体装置1では、このような湾曲構造の薄膜Si層5にソース・ドレイン10が形成され、ゲート電極8直下にトランジスタのチャネルが形成されるようになっている。

#### 【0028】

上記構成の半導体装置1では、薄膜Si層5を湾曲させることにより、薄膜Si層5を伸ばして応力を発生させ、ゲート電極8直下のチャネル領域に非常に大きな歪みを発生させている。このように、従来は格子定数を変化させるなどしてチャネル領域に原子レベルの微視的な歪みを発生させていたのに対し、本発明の半導体装置1では、薄膜Si層5をダイナミックに湾曲させてチャネル領域に大きな歪みを発生させている。チャネル領域により大きな歪みを発生させることでキャリア移動度は劇的に向上する。さらに、半導体装置1では、薄膜Si層5を湾曲させ、その下に空洞4を形成してSOI構造（ここではいわゆるSON (Silicon On Nothing) 構造）とすることにより、pn接合に起因する寄生容量を低減し、トランジスタの高速性能の向上とともに低消費電力化が実現されている。

#### 【0029】

次に、上記構成を有する半導体装置1の製造方法の一例を、図2から図15を参照して説明する。ただし、図2から図15では、図1に示した要素と同一の要素については同一の符号を付している。

#### 【0030】

図2は第1の実施の形態の第1の構成例の半導体装置の第1製造工程図であって、(A) は平面から見た要部平面概略図、(B) は(A) のX-X' 断面概略図、(C) は(A) のY-Y' 断面概略図である。

#### 【0031】

第1製造工程では、Si基板2上に、例えばSiGeおよびSiを順にそれぞれ所定の膜厚でエピタキシャル成長させ、図2 (B), (C) に示すようなSi基板2、犠牲層となるSiGe層14および薄膜Si層5の積層基板を形成する。その際、薄膜Si層5の表面にはその形成後に薄い絶縁膜15を形成してもよい。それにより、薄膜Si層5と後に薄膜Si層5上に形成されるゲート絶縁膜7との界面の安定化を図れる。絶縁膜15は、例えば薄膜Si層5の表面を大気に曝すなどして形成することができる。なお、以降の説明において、Si基板2、SiGe層14および薄膜Si層5が積層された積層基板には、このような界面安定化を目的とした絶縁膜15を形成したものを含むものとする。半導体装置1の製造に当たり、絶縁膜15は必ずしも形成することを要しないが、ここでは、絶縁膜15を形成した場合について述べる。

#### 【0032】

図3は第1の実施の形態の第1の構成例の半導体装置の第2製造工程図であって、(A) は平面から見た要部平面概略図、(B) は(A) のX-X' 断面概略図、(C) は(A) のY-Y' 断面概略図である。

#### 【0033】

第2製造工程では、第1製造工程において形成した積層基板に対し、Si基板2内部に達するトレンチを形成した後、そのトレンチにSiO<sub>2</sub>等を堆積し、平坦化して素子分離領域3を形成する。図3(A), (B), (C)に示す素子分離領域3で囲まれた領域が、半導体装置1のトランジスタ形成領域となる。

#### 【0034】

図4は第1の実施の形態の第1の構成例の半導体装置の第3製造工程図であって、(A)は平面から見た要部平面概略図、(B)は(A)のX-X'断面概略図、(C)は(A)のY-Y'断面概略図である。

#### 【0035】

第3製造工程では、薄膜Si層5を酸化あるいは窒化し、図4(A), (B), (C)に示すゲート絶縁膜7を形成する。ゲート絶縁膜7は、薄膜Si層5の酸化や窒化によって形成するほか、CVD法で酸化アルミニウム(Al<sub>2</sub>O<sub>3</sub>)、酸化ハフニウム(HfO<sub>2</sub>)、酸化ジルコニウム(ZrO<sub>2</sub>)等の高誘電率材料(high-k材料)を堆積して形成するようにしてもよい。なお、以降の説明では、薄膜Si層5の表面に絶縁膜15が形成されている場合、この絶縁膜15を含めゲート絶縁膜7とする。

#### 【0036】

図5は第1の実施の形態の第1の構成例の半導体装置の第4製造工程図であって、(A)は平面から見た要部平面概略図、(B)は(A)のX-X'断面概略図、(C)は(A)のY-Y'断面概略図である。

#### 【0037】

第4製造工程では、ゲート電極8およびサイドウォール9を形成する。例えば全面にCVD法でポリシリコン(ポリSi)を形成した後、フォトリソグラフィ法で形成されたレジストパターンをマスクにして異方性エッチングを行い、ゲート電極8を形成する。次いで、ゲート電極8をマスクにしてイオン注入を行い、LDD領域(あるいはエクステンション領域)を形成する。LDD領域を形成する際には、薄膜Si層5に対し、例えば、ボロンイオン(B<sup>+</sup>)またはリンイオン(P<sup>+</sup>)を加速エネルギー5keV、ドーズ量4×10<sup>14</sup>cm<sup>-2</sup>の条件で導入する。その後、全面にCVD法によって窒化シリコン(SiN)等を堆積し、これに異方性エッチングを行ってゲート電極8の側壁にサイドウォール9を形成し、さらにウェットエッチング等を行って露出するゲート絶縁膜7を除去する。ただし、ゲート絶縁膜7は、必ずしもここで除去することを要せず、少なくともプラグを形成するまでに除去されていればよい。

#### 【0038】

図6は第1の実施の形態の第1の構成例の半導体装置の第5製造工程図であって、(A)は平面から見た要部平面概略図、(B)は(A)のX-X'断面概略図、(C)は(A)のY-Y'断面概略図である。

#### 【0039】

第5製造工程では、フォトリソグラフィ法を用い、図6(A), (B), (C)に示すように、ゲート電極8を跨ぎ、かつ、素子分離領域3の内側領域に、レジストパターン16を形成する。その際、レジストパターン16が周囲の素子分離領域3から分離されており、さらに、ゲート電極8上の部分に形成されていることが重要である。レジストパターン16の形成後、これをマスクにして、薄膜Si層5をエッチングし、SiGe層14を露出させ、素子分離領域3と薄膜Si層5との間に開口部17を形成する。

#### 【0040】

図7は第1の実施の形態の第1の構成例の半導体装置の第6製造工程図であって、(A)は平面から見た要部平面概略図、(B)は(A)のX-X'断面概略図、(C)は(A)のY-Y'断面概略図である。

#### 【0041】

第6製造工程では、図7(A), (B), (C)に示すように、ウェットエッチングにより犠牲層であるSiGe層14を選択的に除去する。このウェットエッチングの際には、エッチング液を図6(A), (C)の開口部17から浸入させ、SiGe層14のみを

開口部 17 から除去するようにする。それにより、薄膜 Si 層 5 の下に空洞 4 が形成される。ウェットエッチング後、レジストパターン 16 は除去する。エッチング液としては、例えば、50%フッ化水素 (HF) : 過酸化水素 ( $H_2O_2$ ) : 酢酸 ( $CH_3COOH$ ) = 1 : 16 : 24 の重量割合の混合溶液を用いることができる。ウェットエッチング後に残る薄膜 Si 層 5 は、ゲート絶縁膜 7 を挟んでゲート電極 8 に接続されたままであり、Si 基板 2 側へ落下することがない。

#### 【0042】

図 8 は第 1 の実施の形態の第 1 の構成例の半導体装置の第 7 製造工程図であって、(A) は平面から見た要部平面概略図、(B) は (A) の X-X' 断面概略図、(C) は (A) の Y-Y' 断面概略図である。

#### 【0043】

第 7 製造工程では、薄膜 Si 層 5 を湾曲させ、薄膜 Si 層 5 に歪みを発生させる。ここで、薄膜 Si 層 5 の湾曲方法について述べる。薄膜 Si 層 5 の湾曲方法としては、例えば、ウェット処理時の表面張力を利用する方法、薄膜 Si 層 5 と応力の異なる膜 (熱伸する膜) を利用する方法、イオン注入後の熱処理を利用する方法、レーザ光照射を利用する方法、ガスや液体など流体の噴射を利用する方法がある。

#### 【0044】

図 8 には、第 7 製造工程として、ウェット処理時の表面張力を利用して薄膜 Si 層 5 を湾曲させる場合を図示している。表面張力を利用する方法では、第 6 製造工程で行われる SiGe 層 14 のウェットエッチングの際に、エッチング液を水洗して引き上げるときに薄膜 Si 層 5 と Si 基板 2 との間に働く表面張力を利用して薄膜 Si 層 5 を湾曲させる。

#### 【0045】

この方法では、まず、ウェットエッチングによって SiGe 層 14 を開口部 17 から除去した後、純水中に浸して表面に付着したエッチング液を洗浄し、純水洗浄後、今度は硝酸水溶液に浸す。このように硝酸水溶液に浸すことにより、Si 基板 2 および薄膜 Si 層 5 の表面がわずかに酸化され、表面が親水性になる。硝酸水溶液への浸漬後は、再び純水中に浸して硝酸成分を洗浄し、純水中から大気中へゆっくりと引き上げる。その際、Si 基板 2 と薄膜 Si 層 5 との間には表面張力が働く。薄膜 Si 層 5 は、ゲート電極 8 に接続されているので、ゲート電極 8 直下の部分を支点に例えば図 8 (C) に示したように断面略円弧状に湾曲し、その結果、薄膜 Si 層 5 には、下に空洞 4 が設けられた状態で歪みが発生する。その後は、例えば熱乾燥して水分を除去する。なお、一旦湾曲した薄膜 Si 層 5 は、その端部が原子間力で Si 基板 2 に結合し、乾燥しても容易に元に戻ることはない。この後は、後述の第 8 製造工程に移行する。

#### 【0046】

なお、このようにウェット処理時の表面張力を利用して薄膜 Si 層 5 を湾曲させる場合には、第 4 製造工程におけるゲート電極 8 の形成後の LDD 領域形成のためのイオン注入、サイドウォール 9 の形成およびゲート絶縁膜 7 の一部の除去は、薄膜 Si 層 5 を湾曲させた後に行うようにしてもよい。すなわち、第 4 製造工程におけるゲート電極 8 の形成後に、表面張力を利用して薄膜 Si 層 5 を湾曲させ、その後、湾曲した薄膜 Si 層 5 に対し、LDD 領域形成のためのイオン注入、サイドウォール 9 の形成およびゲート絶縁膜 7 の一部の除去を行えばよい。

#### 【0047】

以下、薄膜 Si 層 5 を湾曲させるその他の方法について説明する。

まず、熱伸する膜を用いる方法について図 9 および図 10 を参照して説明する。図 9 は熱伸する膜を用いて薄膜 Si 層を湾曲させる工程の第 1 の説明図であって、(A) は平面から見た要部平面概略図、(B) は (A) の X-X' 断面概略図、(C) は (A) の Y-Y' 断面概略図である。図 10 は熱伸する膜を用いて薄膜 Si 層を湾曲させる工程の第 2 の説明図であって、(A) は平面から見た要部平面概略図、(B) は (A) の X-X' 断面概略図、(C) は (A) の Y-Y' 断面概略図である。

#### 【0048】

この方法では、熱伸する膜として例えば図9 (A), (B), (C) に示すようなSiN膜18を用いて薄膜Si層5を湾曲させ、薄膜Si層5に歪みを発生させる。まず、第4製造工程でゲート電極8およびサイドウォール9を形成し、ゲート絶縁膜7の一部を除去した後、全面に保護膜としてSiN膜18を形成する。なお、ゲート絶縁膜7は、必ずしもここで除去することを要せず、少なくともプラグを形成するまでに除去されていればよい。SiN膜18は、成膜ガス、ガス圧、ガス混合比、成膜温度、印加電圧等を調整し、Tensile (引張) 応力を持つよう形成する。例えば、成膜ガスにシラン (SiH<sub>4</sub>) とアンモニア (NH<sub>3</sub>) を用い、900℃、760 Torr (1 Torr = 133 Pa) の圧力で約1分間の成膜により、膜厚30 nm、引張応力12 dyn/cm<sup>2</sup> ~ 18 dyn/cm<sup>2</sup> (1 dyn = 0.1 N) のSiN膜18が形成される。このような成膜方法は高温CVD法と呼ばれるが、その他にもプラズマCVD法、光CVD法、レーザCVD法等によっても、条件を最適化して、引張応力を持つSiN膜18を形成することが可能である。

#### 【0049】

SiN膜18の形成後は、第5、第6製造工程に準じた処理が行われる。すなわち、SiN膜18を全面に形成した後、その上にレジストパターン16を形成し、これをマスクにしてSiN膜18、薄膜Si層5のエッチングを行ってSiGe層14が露出する開口部17を形成する。そして、ウェットエッチングによりSiGe層14を選択的に除去し、図9 (A), (B), (C) に示したように、薄膜Si層5の下に空洞4を形成する。その後、例えば1000℃、1秒程度の熱処理を行う。その結果、図10 (A), (B), (C) に示したように、SiN膜18が熱伸し、その応力によって薄膜Si層5が曲げられ、薄膜Si層5に歪みが発生する。この後は、後述の第8製造工程に移行する。

#### 【0050】

次に、イオン注入を利用する方法について図11および図12を参照して説明する。図11はイオン注入を用いて薄膜Si層を湾曲させる工程の第1の説明図であって、(A) は平面から見た要部平面概略図、(B) は(A)のX-X'断面概略図、(C) は(A)のY-Y'断面概略図である。図12はイオン注入を用いて薄膜Si層を湾曲させる工程の第2の説明図であって、(A) は平面から見た要部平面概略図、(B) は(A)のX-X'断面概略図、(C) は(A)のY-Y'断面概略図である。

#### 【0051】

この方法では、例えばソース・ドレイン10を形成する際のイオン注入を利用して薄膜Si層5を湾曲させ、薄膜Si層5に歪みを発生させる。この場合、まず、第4製造工程でLDD領域形成のためのイオン注入、サイドウォール9の形成およびゲート絶縁膜7の一部の除去を行った後、ソース・ドレイン10を形成するためのイオン注入を行う。ソース・ドレイン10の形成のためのイオン注入は、ボロンイオン (B<sup>+</sup>) またはリンイオン (P<sup>+</sup>) を、例えば加速エネルギー20 keV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ の条件で行う。イオン注入領域の薄膜Si層5およびSiGe層14は、ドーズ量に応じて、一部または全部が結晶破壊された状態 (アモルファス状態) になっている。この結晶状態は、Si基板2および薄膜Si層5の深さ方向で分布を持つ。一般的には、薄膜Si層5には表面側の浅い領域に結晶欠陥が多く、深い領域になるにつれて徐々に少なくなり、その下層のSiGe層14の浅い領域で再び多くなり、深い領域になると少なくなるという分布を示す。通常、イオン注入後には結晶欠陥を回復させ不純物を活性化させる熱処理を行うが、ここではその熱処理前にSiGe層14を除去する。

#### 【0052】

すなわち、ソース・ドレイン10の形成のためのイオン注入後、第5、第6製造工程に準じ、レジストパターン16を形成し、これをマスクにしてエッチングを行ってSiGe層14が露出する開口部17を形成する。そして、ウェットエッチングによりSiGe層14を選択的に除去し、図11 (A), (B), (C) に示したように、薄膜Si層5の下に空洞4を形成する。このとき、薄膜Si層5内の結晶欠陥は、表面側の浅い領域で多く、Si基板2側の深い領域になるほど少なくなるような分布を示す。

**【0053】**

次いで、結晶欠陥の回復と不純物の活性化を主目的として、例えば1030℃、1秒間の熱処理を行う。その結果、イオン注入により結晶破壊していた薄膜Si層5が再び単結晶化される。その際、薄膜Si層5には体積変化が生じる。この体積変化は、熱処理前の結晶状態に依存し、結晶破壊の度合いがより大きい表面側の体積膨張が特に大きくなる。そのため、図12(A)、(B)、(C)に示したように薄膜Si層5が湾曲し、薄膜Si層5に歪みが発生する。この後は、後述の第8製造工程に移行する。

**【0054】**

なお、ここではSiGe層14の除去前にソース・ドレイン10の形成のためのイオン注入を行うようにしたが、このイオン注入は、SiGe層14を除去して空洞4を形成した後(第6製造工程後)に行うようにしてもよい。すなわち、イオン注入後に熱処理を行って薄膜Si層5を湾曲させるとともに、その熱処理によって不純物を活性化しソース・ドレイン10を形成すればよい。

**【0055】**

また、ここではソース・ドレイン10の形成のためのイオン注入を利用して薄膜Si層5を湾曲させるようにしたが、ソース・ドレイン10の形成とは別のイオン注入工程によって薄膜Si層5を湾曲させるようにしてもよい。その場合、例えばアルゴン(Ar)や窒素(N)等の薄膜Si層5に対するイオン注入を、SiGe層14除去前または除去後に行う。これらのようなイオンを用いた場合にも、イオン注入領域の薄膜Si層5は、その一部または全部が結晶破壊されるようになる。イオン注入後、SiGe層14を除去した状態で熱処理を行えば、薄膜Si層5を湾曲させることができる。

**【0056】**

次に、レーザ光を用いる方法について説明する。この方法では、薄膜Si層5にレーザ光を照射してその表面を急加熱し、熱膨張させることによって薄膜Si層5を湾曲させ、薄膜Si層5に歪みが発生させる。まず、第6製造工程の後に、薄膜Si層5の表面に対してレーザ光を照射する。これにより、薄膜Si層5の表面は急速に加熱され、熱膨張する。その結果、薄膜Si層5は曲げられ、薄膜Si層5に歪みが発生する。この後は、後述の第8製造工程に移行する。

**【0057】**

なお、このようにレーザ光照射によって薄膜Si層5を湾曲させる場合、第4製造工程におけるゲート電極8の形成後のLDD領域形成のためのイオン注入、サイドウォール9の形成およびゲート絶縁膜7の一部の除去は、薄膜Si層5の湾曲後に行うようにしてもよい。すなわち、第4製造工程におけるゲート電極8の形成後に、第5、第6製造工程に従って空洞4を形成し、薄膜Si層5の表面にレーザ光を照射して薄膜Si層5を湾曲させた後に、LDD領域形成のためのイオン注入、サイドウォール9の形成およびゲート絶縁膜7の一部の除去を行えばよい。

**【0058】**

次に、流体を用いる方法について説明する。この方法では、薄膜Si層5に対してN<sub>2</sub>ガスや純水などを噴射し、その圧力によって薄膜Si層5を湾曲させ、薄膜Si層5に歪みが発生させる。まず、第6製造工程の後に、薄膜Si層5の表面にガスあるいは液体を噴射する。ガスをを用いる場合、薄膜Si層5の表面に対し、例えば、10cm～30cm程度離れた所から、圧力0.5kg/cm<sup>2</sup>のN<sub>2</sub>ガスを、流量1L/min～2L/minで噴射する。また、液体を用いる場合、薄膜Si層5の表面に対し、例えば、流速1km/h～60km/hの純水を噴射する。薄膜Si層5は、このようなN<sub>2</sub>ガスや純水が噴射されたことによる圧力によって曲げられ、薄膜Si層5に歪みが発生する。この後は、後述の第8製造工程に移行する。

**【0059】**

なお、ガスや液体を用いる場合、一旦薄膜Si層5が曲げられてその端部がSi基板2の表面に接すると、Si基板2の表面が清浄であれば薄膜Si層5の端部がSi基板2に原子間力で結合する。その結果、ガスや液体の圧力を取り除いても湾曲した薄膜Si層5

が容易に元に戻る事がなくなる。ガスを用いる場合には、純水に浸漬した後のウェットな状態でガスを噴射すれば、表面張力が働き、薄膜Si層5の端部とSi基板2とが、ドライな状態で噴射するのに比べてより強く結合し易くなる。また、ガスや液体の噴射は、これらが逃げて行く経路も考慮し、流量、圧力、ノズル形状等を最適化する必要がある。ウェーハ内の均一性を高めるために、一度に全面に噴射するのではなく、局所的に噴射しスキャンする方法も有効である。

#### 【0060】

また、このようにガスや液体を用いて薄膜Si層5を湾曲させる場合、第4製造工程におけるゲート電極8の形成後のLDD領域形成のためのイオン注入、サイドウォール9の形成およびゲート絶縁膜7の一部の除去は、薄膜Si層5の湾曲後に行うようにしてもよい。すなわち、第4製造工程におけるゲート電極8の形成後に、第5、第6製造工程に従って空洞4を形成し、薄膜Si層5の表面にガスや液体を噴射して薄膜Si層5を湾曲させた後に、LDD領域形成のためのイオン注入、サイドウォール9の形成およびゲート絶縁膜7の一部の除去を行えばよい。なお、ゲート絶縁膜7は、必ずしもここで除去することを要せず、少なくともプラグを形成するまでに除去されていればよい。

#### 【0061】

以上例示したような種々の方法を用いて薄膜Si層5を湾曲させ、薄膜Si層5に歪みが発生させることができる。

図13は第1の実施の形態の第1の構成例の半導体装置の第8製造工程図であって、(A)は平面から見た要部平面概略図、(B)は(A)のX-X'断面概略図、(C)は(A)のY-Y'断面概略図である。

#### 【0062】

第8製造工程では、これ以前の製造工程でソース・ドレイン10を形成するためのイオン注入が行われていない場合には、図13(A)、(B)、(C)に示すソース・ドレイン10を形成するためのイオン注入を行う。ここでは、例えば、ボロンイオン(B<sup>+</sup>)またはリンイオン(P<sup>+</sup>)を加速エネルギー20keV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ の条件でSi基板2および薄膜Si層5に導入する。イオン注入後は、配線層13を形成するまでに、例えば1030℃で1秒間の熱処理を行い、不純物を活性化させる。これにより、Si基板2上および薄膜Si層5上にソース・ドレイン10を形成する。

#### 【0063】

図14は第1の実施の形態の第1の構成例の半導体装置の第9製造工程図であって、(A)は平面から見た要部平面概略図、(B)は(A)のX-X'断面概略図、(C)は(A)のY-Y'断面概略図である。

#### 【0064】

第9製造工程では、図14(B)、(C)に示すように、全面にSiO<sub>2</sub>等の層間絶縁膜11を形成する。ただし、図14(A)では、層間絶縁膜11は図示を省略している。

図15は第1の実施の形態の第1の構成例の半導体装置の第10製造工程図であって、(A)は平面から見た要部平面概略図、(B)は(A)のX-X'断面概略図、(C)は(A)のY-Y'断面概略図である。

#### 【0065】

第10製造工程では、図15(A)、(B)、(C)に示すように、ゲート電極8およびソース・ドレイン10に達するコンタクトホールに導電体膜をスパッタ法やCVD法により形成してプラグ12を形成する。導電体膜には種々の材料を用いることができ、また、図15(A)、(B)、(C)に示すように、先にバリアメタルを形成してその後に低抵抗メタルを形成するといったように2種以上の導電体膜を積層してプラグ12を形成することもできる。なお、このプラグ12が接続されるソース・ドレイン10は、図15(C)に示したようにSi基板2と薄膜Si層5に跨って形成されている場合のほか、薄膜Si層5にのみ形成されている場合、Si基板2に形成されている場合もあり得る。最後に、低抵抗メタルで配線層13を形成し、上記図1(A)、(B)、(C)に示した構成の半導体装置1を得る。ただし、図15(A)では、層間絶縁膜11は図示を省略してい

る。

#### 【0066】

なお、半導体装置1では、Si基板2にSiGeおよびSiを積層した基板を用いたが、Si基板2上にBOX層と呼ばれる絶縁層とSi層が積層されたSOI基板を用いることもできる。この場合、BOX層が犠牲層となる。また、犠牲層として、SiGeの代わりに、高濃度にB、P、ヒ素(As)、アンチモン(Sb)等をイオン注入した不純物半導体層を用いることもできる。また、犠牲層として、SiGeの代わりに、SiおよびSiGe以外の半導体層を用いることもできる。要するに、犠牲層は、空洞4を形成するウェットエッチングの際に、Si基板2および薄膜Si層5に対して選択的に除去できる材料であればよい。

#### 【0067】

図16は第1の実施の形態の半導体装置の第2の構成例であって、(A)は平面から見た要部平面概略図、(B)は(A)のX-X'断面概略図、(C)は(A)のY-Y'断面概略図である。ただし、図16では、図1に示した要素と同一の要素については同一の符号を付している。

#### 【0068】

図16(A)、(B)、(C)に示す半導体装置1aでは、前述のようなSi基板2、BOX層および薄膜Si層5が積層されたSOI構造の基板を用い、BOX層を除去することによって空洞4を形成する。このような構成の半導体装置1aの製造は、第1の構成例に示した半導体装置1の製造工程において、SiGe層14をBOX層に代える以外は同様に行え、また、その最終構造は、半導体装置1と同じになる。

#### 【0069】

図17は第1の実施の形態の半導体装置の第3の構成例であって、(A)は平面から見た要部平面概略図、(B)は(A)のX-X'断面概略図、(C)は(A)のY-Y'断面概略図である。ただし、図17では、図1に示した要素と同一の要素については同一の符号を付している。

#### 【0070】

図17(A)、(B)、(C)に示す半導体装置1bは、Si基板2に代えてSOI基板2bを用いている点で第1の構成例の半導体装置1と相違し、その他の構成は第1の構成例の半導体装置1と同じである。すなわち、SOI基板2b上に、例えばSiGe層14および薄膜Si層5を順に形成し、後の工程でSiGe層14を選択的に除去して空洞4を形成すればよい。したがって、半導体装置1bでは、空洞4の下に、基板2ba、BOX層2bbおよびSi層2bcが積層されたSOI基板2bが残ることになる。

#### 【0071】

なお、このような用途でSOI基板を用いる場合には、SOI基板上に、Si層とSiGe層をこの順で形成し、ウェットエッチングの際にはSOI基板最上層のSi層とその上に形成したSi層とを除去し、SiGe層をチャネルとするトランジスタの形成も可能である。

#### 【0072】

図18は第1の実施の形態の半導体装置の第4の構成例であって、(A)は平面から見た要部平面概略図、(B)は(A)のX-X'断面概略図、(C)は(A)のY-Y'断面概略図である。ただし、図18では、図1に示した要素と同一の要素については同一の符号を付している。

#### 【0073】

図18(A)、(B)、(C)に示す半導体装置1cは、ゲート電極8およびソース・ドレイン10の表面にシリサイド層19が形成されている点で第1の構成例の半導体装置1と相違し、その他の構成は第1の構成例の半導体装置1と同じである。ただし、図18(A)では、層間絶縁膜11は図示を省略している。このようにシリサイド層19を形成したシリサイド構造を採ることにより、ゲート電極8およびソース・ドレイン10とプラグ12との間の低抵抗な電気接続を確保することができる。シリサイド層19は、例えば

、ソース・ドレイン 10 を形成した後、層間絶縁膜 11 の形成前に、全面にコバルト (C o)、ニッケル、チタン、白金等の薄膜を形成し、熱処理によってコバルトシリサイド、ニッケルシリサイド、チタンシリサイド、白金シリサイド等を形成し、硫酸等による溶解処理を経て、ゲート電極 8 およびソース・ドレイン 10 の表面にコバルトシリサイドを残すことによって形成される。

#### 【0074】

なお、この半導体装置 1 c において、S i 基板 2、B O X 層および薄膜 S i 層 5 が積層された S O I 構造の基板を用い、B O X 層を除去して空洞 4 を形成するようにしてもよい。また、S i 基板 2 に代えて S O I 基板 2 b を用い、この S O I 基板 2 b 上に S i G e 層 14 および薄膜 S i 層 5 を形成し、S i G e 層 14 を除去して空洞 4 を形成するようにしてもよい。また、ここではゲート電極 8 およびソース・ドレイン 10 の表面をシリサイド化したが、薄膜 S i 層 5 に形成されるソース・ドレイン 10 を全てシリサイド化した構造とすることも可能である。ソース・ドレイン 10 の全部をシリサイド化することにより、ゲート電極 8 とプラグ 12 との間、およびソース・ドレイン 10 とプラグ 12 との間のより低抵抗な電気接続が確保されるようになる。

#### 【0075】

次に、第 2 の実施の形態について説明する。

図 19 は第 2 の実施の形態の半導体装置の第 1 の構成例であって、(A) は平面から見た要部平面概略図、(B) は (A) の X-X' 断面概略図、(C) は (A) の Y-Y' 断面概略図である。ただし、図 19 では、図 1 に示した要素と同一の要素については同一の符号を付している。

#### 【0076】

図 19 (A)、(B)、(C) に示す半導体装置 20 は、湾曲した薄膜 S i 層 5 の端部が S i 基板 2 に接していない構造を有している点で、第 1 の実施の形態の半導体装置 1 と相違している。その他の構成は、第 1 の実施の形態の半導体装置 1 と同様である。ただし、図 19 (A) では、層間絶縁膜 11 は図示を省略している。

#### 【0077】

薄膜 S i 層 5 が S i 基板 2 に接しないようにするためには、例えば表面張力を利用して薄膜 S i 層 5 を湾曲させる場合であれば、洗浄に用いる純水中に界面活性剤を混入させ、引き上げ時に薄膜 S i 層 5 と S i 基板 2 との間に働く表面張力を弱めるようにすればよい。S i N 膜 18 の引張応力を利用して薄膜 S i 層 5 を湾曲させる場合であれば、S i N 膜 18 の成膜条件や熱処理条件を、S i N 膜 18 の引張応力がより小さくなるような条件に設定すればよい。イオン注入および熱処理を利用して薄膜 S i 層 5 を湾曲させる場合であれば、イオン注入条件を、薄膜 S i 層 5 の結晶破壊の程度がより小さくなるような条件に設定すればよい。レーザ光照射を利用して薄膜 S i 層 5 を湾曲させる場合であれば、レーザ光の照射エネルギーを調整して薄膜 S i 層 5 の温度上昇がより小さくなるようにすればよい。ガスや液体の噴射を利用して薄膜 S i 層 5 を湾曲させる場合であれば、ガスや液体の噴射条件を、薄膜 S i 層 5 に与えられる圧力がより小さくなるような条件に設定すればよい。また、薄膜 S i 層 5 をより厚く形成して湾曲し難くしておいてもよい。その他の製造工程は、第 1 の実施の形態の場合と同様である。

#### 【0078】

この半導体装置 20 において、薄膜 S i 層 5 の下には、図 1 (B)、(C) に示したような空洞 4 が残されていても、あるいは図 19 (B)、(C) に示したように薄膜 S i 層 5 の下が層間絶縁膜 11 で埋められていても、いずれであってもよい。さらに、薄膜 S i 層 5 の下が部分的に層間絶縁膜 11 で埋められていてもよい。このように空洞部分に層間絶縁膜 11 が入り込んでいても、薄膜 S i 層 5 が従来に比べて大きく湾曲しているため、キャリア移動度の高速性を確保し、良好なトランジスタ性能を実現することが可能になっている。

#### 【0079】

なお、半導体装置 20 において、S i 基板 2、B O X 層および薄膜 S i 層 5 が積層され

たSOI構造の基板を用い、そのBOX層を除去して空洞4を形成し、薄膜Si層5をその端部がSi基板2に接しないように湾曲させるようにしてもよい。その場合、最終構造は図19(A), (B), (C)と同じになる。

#### 【0080】

図20は第2の実施の形態の半導体装置の第2の構成例であって、(A)は平面から見た要部平面概略図、(B)は(A)のX-X'断面概略図、(C)は(A)のY-Y'断面概略図である。ただし、図20では、図1、図17および図19に示した要素と同一の要素については同一の符号を付している。

#### 【0081】

図20(A), (B), (C)に示す半導体装置20aは、Si基板2に代えてSOI基板2bを用いている点で第1の構成例に示した半導体装置20と相違し、その他の構成は第1の構成例の半導体装置20と同じである。

#### 【0082】

図21は第2の実施の形態の半導体装置の第3の構成例であって、(A)は平面から見た要部平面概略図、(B)は(A)のX-X'断面概略図、(C)は(A)のY-Y'断面概略図である。ただし、図21では、図1、図18および図19に示した要素と同一の要素については同一の符号を付している。

#### 【0083】

図21(A), (B), (C)に示す半導体装置20bは、ゲート電極8およびソース・ドレイン10の表面に低抵抗化のためのシリサイド層19が形成されている点で第1の構成例の半導体装置20と相違し、その他の構成は第1の構成例の半導体装置20と同じである。ただし、図21(A)では、層間絶縁膜11は図示を省略している。

#### 【0084】

なお、半導体装置20bにおいて、Si基板2、BOX層および薄膜Si層5が積層されたSOI構造の基板を用いてもよく、また、Si基板2に代えてSOI基板2bを用いてもよい。また、薄膜Si層5に形成されるソース・ドレイン10を全てシリサイド化した構造とすることも可能である。

#### 【0085】

次に、第3の実施の形態について説明する。

図22は第3の実施の形態の半導体装置の第1の構成例であって、(A)は平面から見た要部平面概略図、(B)は(A)のX-X'断面概略図、(C)は(A)のY-Y'断面概略図である。ただし、図21では、図1に示した要素と同一の要素については同一の符号を付している。

#### 【0086】

図22(A), (B), (C)に示す半導体装置30は、薄膜Si層5が、ゲート電極8直下を支点にして略円筒形状になるまで大きく湾曲している点で、第1の実施の形態の半導体装置1と相違している。その他の構成は、第1の実施の形態の半導体装置1と同様である。ただし、図22(A)では、層間絶縁膜11は図示を省略している。

#### 【0087】

略円筒形状の薄膜Si層5を形成するためには、例えば表面張力を利用して薄膜Si層5を湾曲させる場合であれば、洗浄に用いる純水中に界面活性剤を用いず、かつ、空洞4を薄膜Si層5が大きく湾曲して略円筒形状になることができるような厚さに形成しておくようにすればよい。SiN膜18の引張応力を利用して薄膜Si層5を湾曲させる場合であれば、空洞4の厚さを考慮するとともに、SiN膜18の成膜条件や熱処理条件を、SiN膜18の引張応力がより大きくなるような条件に設定すればよい。イオン注入および熱処理を利用して薄膜Si層5を湾曲させる場合であれば、空洞4の厚さを考慮するとともに、イオン注入条件を、薄膜Si層5の結晶破壊の程度がより大きくなるような条件に設定すればよい。レーザ光照射を利用して薄膜Si層5を湾曲させる場合であれば、空洞4の厚さを考慮するとともに、レーザ光の照射エネルギーを調整して薄膜Si層5の温度上昇がより大きくなるようにすればよい。ガスや液体の噴射を利用して薄膜Si層5を

湾曲させる場合であれば、空洞 4 の厚さを考慮するとともに、ガスや液体の噴射条件を、薄膜 Si 層 5 に与えられる圧力がより大きくなるような条件に設定すればよい。また、薄膜 Si 層 5 をより厚く形成して湾曲し難くしておいてもよい。その他の製造工程は、第 1 の実施の形態の場合と同様である。

【0088】

この半導体装置 30 では、プラグ 12 が、図 22 (C) に示したように、大きく湾曲している薄膜 Si 層 5 の側壁部分に形成されているソース・ドレイン 10 と Si 基板 2 に形成されているソース・ドレイン 10 の両方に接続されている。薄膜 Si 層 5 の端部が Si 基板 2 に接している場合には、プラグ 12 は、Si 基板 2 に形成されているソース・ドレイン 10 のみに接続することも可能である。

【0089】

なお、半導体装置 30 において、Si 基板 2、BOX 層および薄膜 Si 層 5 が積層された SOI 構造の基板を用い、BOX 層を除去して空洞 4 を形成するようにしてもよい。その場合、最終構造は図 22 (A), (B), (C) と同じになる。

【0090】

図 23 は第 3 の実施の形態の半導体装置の第 2 の構成例であって、(A) は平面から見た要部平面概略図、(B) は (A) の X-X' 断面概略図、(C) は (A) の Y-Y' 断面概略図である。ただし、図 21 では、図 1, 図 17 および図 22 に示した要素と同一の要素については同一の符号を付している。

【0091】

図 23 (A), (B), (C) に示す半導体装置 30a は、Si 基板 2 に代えて SOI 基板 2b を用いている点で第 1 の構成例の半導体装置 30 と相違し、その他の構成は第 1 の構成例の半導体装置 30 と同じである。

【0092】

図 24 は第 3 の実施の形態の半導体装置の第 3 の構成例であって、(A) は平面から見た要部平面概略図、(B) は (A) の X-X' 断面概略図、(C) は (A) の Y-Y' 断面概略図である。ただし、図 24 では、図 1, 図 18 および図 22 に示した要素と同一の要素については同一の符号を付している。

【0093】

図 24 (A), (B), (C) に示す半導体装置 30b は、ゲート電極 8 およびソース・ドレイン 10 の表面に低抵抗化のためのシリサイド層 19 が形成されている点で第 1 の構成例の半導体装置 30 と相違し、その他の構成は第 1 の構成例の半導体装置 30 と同じである。ただし、図 24 (A) では、層間絶縁膜 11 は図示を省略している。プラグ 12 は、図 24 (C) に示したように、薄膜 Si 層 5 の側壁部分のソース・ドレイン 10 の表面に形成されているシリサイド層 19 と Si 基板 2 のソース・ドレイン 10 の表面に形成されているシリサイド層 19 の両方に接続されている。

【0094】

また、このほか、ソース・ドレイン 10 だけをシリサイド化し、ゲート電極 8 はシリサイド化しないといった構造とすることも可能である。ゲート電極 8 をシリサイド化させないためには、あらかじめゲート電極 8 上に絶縁膜を形成しておけばよい。

【0095】

なお、半導体装置 30b において、Si 基板 2、BOX 層および薄膜 Si 層 5 が積層された SOI 構造の基板を用いてもよく、また、Si 基板 2 に代えて SOI 基板 2b を用いてもよい。また、薄膜 Si 層 5 に形成されるソース・ドレイン 10 を全てシリサイド化した構造とすることも可能である。

【0096】

図 25 は第 3 の実施の形態の半導体装置の第 4 の構成例であって、(A) は平面から見た要部平面概略図、(B) は (A) の X-X' 断面概略図、(C) は (A) の Y-Y' 断面概略図である。ただし、図 25 では、図 1, 図 22 および図 24 に示した要素と同一の要素については同一の符号を付している。

## 【0097】

図25(A), (B), (C)に示す半導体装置30cは、プラグ12が、Si基板2のソース・ドレイン10の表面に形成されたシリサイド層19のみに接続されている点で、第3の構成例の半導体装置30bと相違し、その他の構成は第3の構成例の半導体装置30bと同じである。ただし、図25(A)では、層間絶縁膜11は図示を省略している。シリサイド層19を形成することにより、低抵抗な電気接続を確保できるとともに、プラグ12の形成位置の自由度が増し、トランジスタの性能向上および製造の歩留り向上が図れる。なお、薄膜Si層5に形成されるソース・ドレイン10を全てシリサイド化した構造とすることも可能である。

## 【0098】

以上、第1から第3の実施の形態において述べたように、薄膜Si層5を湾曲させることにより、その歪みを大きくすることができ、キャリア移動度を劇的に向上させることができるようになる。また、湾曲させた薄膜Si層5の下を空洞4にする、あるいは層間絶縁膜11で埋めた領域にすることにより、チャネルおよびソース・ドレイン10をSON構造あるいはSOI構造で構成することができる。これにより、キャリア移動度が大きく、寄生容量が低いトランジスタ構造を備える高速かつ低消費電力の半導体装置を実現することができる。

## 【0099】

このように薄膜Si層5を湾曲させる場合、薄膜Si層5は、Y-Y'断面で見ても必ずしも左右対称に湾曲していなくてもよい。たとえ左右非対称に湾曲していても、チャネルがゲート電極8直下の領域に形成されるため、この領域に従来に比べてより大きな歪みを発生させることが可能である。第1から第3の実施の形態において、薄膜Si層5は、ゲート電極8直下からソース・ドレイン10側の領域に向かって湾曲する薄膜Si層5の端部の少なくとも一方が、ゲート電極8直下の領域から薄膜Si層5の厚さの3分の1以上の長さ分だけSi基板2側に寄って湾曲していることが望ましい。あるいは、薄膜Si層5は、ゲート電極8直下からソース・ドレイン10側の領域に向かって湾曲する薄膜Si層5の端部が、曲率半径の2倍以下の距離まで接近して湾曲していることが望ましい。

## 【0100】

以上の説明では、薄膜Si層5を湾曲させる場合について述べたが、薄膜Si層を意図的に湾曲させることなくトランジスタの性能向上を図った例を、次の第4の実施の形態で説明する。

## 【0101】

図26は第4の実施の形態の半導体装置の第1の構成例であって、(A)は平面から見た要部平面概略図、(B)は(A)のX-X'断面概略図、(C)は(A)のY-Y'断面概略図である。ただし、図26では、図1に示した要素と同一の要素については同一の符号を付している。

## 【0102】

図26(A), (B), (C)に示す半導体装置40は、意図的に湾曲させていない薄膜Si層5にソース・ドレイン10が形成されてゲート電極8直下にチャネル領域が形成され、この薄膜Si層5にプラグ12の下端が接続されている点で、第1の実施の形態の半導体装置1と相違している。その他の構成は、第1の実施の形態の半導体装置1と同じである。ただし、図26(A)では、層間絶縁膜11は図示を省略している。

## 【0103】

ここで、この第4の実施の形態の半導体装置40の製造方法について説明する。

図27は第4の実施の形態の第1の構成例に示した半導体装置の製造工程図であって、(A)は平面から見た要部平面概略図、(B)は(A)のX-X'断面概略図、(C)は(A)のY-Y'断面概略図である。ただし、図27では、図1に示した要素と同一の要素については同一の符号を付し、また、図27(A)では、層間絶縁膜11は図示を省略している。

## 【0104】

半導体装置 40 の製造工程は、例えば第 1 の実施の形態において述べた第 1 ～第 6 製造工程までは同じである。この第 6 製造工程の後、半導体装置 40 の場合には、まず、下に空洞 4 が形成された薄膜 Si 層 5 にイオン注入と熱処理を行ってソース・ドレイン 10 を形成する。次いで、全面に層間絶縁膜 11 を形成する。この層間絶縁膜 11 によって空洞 4 の開口部が塞がれた状態になる。層間絶縁膜 11 の形成後、ゲート電極 8 およびソース・ドレイン 10 に達するプラグ 12 を形成し、最後に、配線層 13 を形成して、図 26 (A), (B), (C) に示した半導体装置 40 を得る。なお、ソース・ドレイン 10 を形成するためのイオン注入は、薄膜 Si 層 5 の下に空洞 4 を形成する前に行ってもよい。

#### 【0105】

半導体装置 40 の製造において、下に空洞 4 が形成された状態で薄膜 Si 層 5 にイオン注入と熱処理を行ってソース・ドレイン 10 を形成する場合、処理条件によっては、前述のように薄膜 Si 層 5 が湾曲する可能性がある。これを回避しようとする場合には、例えば、イオン注入および熱処理条件を適当に設定する、薄膜 Si 層 5 の膜厚をイオン注入で湾曲しないように厚くする、あるいはイオン注入を空洞 4 の形成前に行うようにする等の方法を用いることができる。また、空洞 4 を形成するウェットエッチングの際の表面張力によっても薄膜 Si 層 5 が湾曲する可能性がある。これを回避しようとする場合には、洗浄に用いる純水中に界面活性剤を混入して表面張力を弱めるようにする、薄膜 Si 層 5 の膜厚を表面張力で湾曲しないように厚くする等の方法を用いることができる。また、薄膜 Si 層 5 の湾曲を防止するためには、後述するように、薄膜 Si 層 5 と素子分離領域 3 とを、ゲート電極 8 直下の部分以外でも接続させるようにしてもよい。例えば、第 5 製造工程において、図 6 に示したレジストパターン 16 に代えて、図 33, 図 35 に示すようなレジストパターン 16a, 16b を形成し、エッチングを行って開口部 17a, 17b を形成する。

#### 【0106】

半導体装置 40 では、薄膜 Si 層 5 に形成されるチャネルおよびソース・ドレイン 10 の下に空洞 4 が形成されている。そのため、寄生容量を低減でき、トランジスタの高速性能を向上させることができる。

#### 【0107】

なお、半導体装置 40 において、Si 基板 2、BOX 層および薄膜 Si 層 5 が積層された SOI 構造の基板を用い、BOX 層を除去して空洞 4 を形成するようにしてもよく、また、Si 基板 2 に代えて SOI 基板 2b を用いてもよい。

#### 【0108】

図 28 は第 4 の実施の形態の半導体装置の第 2 の構成例であって、(A) は平面から見た要部平面概略図、(B) は (A) の X-X' 断面概略図、(C) は (A) の Y-Y' 断面概略図である。ただし、図 28 では、図 18 および図 26 に示した要素と同一の要素については同一の符号を付している。

#### 【0109】

図 28 (A), (B), (C) に示す半導体装置 40a は、ゲート電極 8 およびソース・ドレイン 10 の表面にシリサイド層 19 が形成されている点で第 1 の構成例の半導体装置 40 と相違し、その他の構成は第 1 の構成例の半導体装置 40 と同じである。ただし、図 28 (A) では、層間絶縁膜 11 は図示を省略している。プラグ 12 の下端は、薄膜 Si 層 5 のソース・ドレイン 10 の表面に形成されたシリサイド層 19 に接続されている。

#### 【0110】

なお、半導体装置 40a において、Si 基板 2、BOX 層および薄膜 Si 層 5 が積層された SOI 構造の基板を用い、BOX 層を除去して空洞 4 を形成するようにしてもよく、また、Si 基板 2 に代えて SOI 基板 2b を用いてもよい。

#### 【0111】

図 29 から図 32 は第 4 の実施の形態の第 3 の構成例の半導体装置の製造工程図であって、(A) は平面から見た要部平面概略図、(B) は (A) の X-X' 断面概略図、(C) は (A) の Y-Y' 断面概略図である。ただし、図 29 から図 32 では、図 18 および

図 2 6 に示した要素と同一の要素については同一の符号を付している。

【0 1 1 2】

第 3 の構成例の半導体装置 4 0 b は、ゲート電極 8 表面にシリサイド層 1 9 が形成されているとともに、ソース・ドレイン 4 1 が全てシリサイド化されている点で第 1 の構成例の半導体装置 4 0 と相違している。半導体装置 4 0 b の製造は、例えば、まず薄膜 S i 層 5 の下に空洞 4 を形成する前に、ソース・ドレイン 4 1 の形成のためのイオン注入を行う。そして、図 2 9 (A), (B), (C) に示すように、素子分離領域 3 で囲まれたトランジスタ形成領域内のソース・ドレイン 4 1 の全部およびゲート電極 8 の表面をシリサイド化する。次いで、図 3 0 (A), (B), (C) に示すように、レジストパターン 1 6 を形成し、これをマスクにしてエッチングを行い、素子分離領域 3 とソース・ドレイン 4 1 の間に開口部 1 7 を形成する。次いで、図 3 1 (A), (B), (C) に示すように、ウェットエッチング等によって S i G e 層 1 4 を除去して空洞 4 を形成し、図 3 2 (A), (B), (C) に示すように、レジストパターン 1 6 を除去する。ウェットエッチングのほかにも、等方性のドライエッチングのように、回り込んで S i G e 層 1 4 を除去することができる等方的なエッチングであれば利用することができる。以降は、第 1 の構成例の半導体装置 4 0 の場合と同様、全面に層間絶縁膜 1 1 を形成して空洞 4 の開口部 1 7 を塞ぎ、ゲート電極 8 およびソース・ドレイン 4 1 に達するプラグ 1 2 を形成し、配線層 1 3 を形成する。ソース・ドレイン 4 1 の全部をシリサイド化することにより、ゲート電極 8 とプラグ 1 2 との間、およびソース・ドレイン 4 1 とプラグ 1 2 との間の低抵抗な電気接続が確保される。

【0 1 1 3】

以上述べた第 4 の実施の形態では、空洞 4 は、例えば図 6 に示したようなレジストパターン 1 6 を形成し、これをマスクにして薄膜 S i 層 5 をエッチングし、素子分離領域 3 との間に開口部 1 7 を形成し、この開口部 1 7 からエッチング液を浸入させ、薄膜 S i 層 5 の下層の S i G e 層 1 4 等を除去して形成される。すなわち、犠牲層を除去するための開口部の形状や位置は、形成するレジストの形状によって決定されている。

【0 1 1 4】

図 3 3 はレジストパターンの第 1 の例を示した平面図、図 3 4 は第 1 の例のレジストパターンで形成される開口部を示した平面図である。ただし、図 3 3, 図 3 4 では、図 6 に示した要素と同一の要素については同一の符号を付している。

【0 1 1 5】

図 3 3 に示すレジストパターン 1 6 a は、部分的に素子分離領域 3 上にも形成されている点で図 6 に示したレジストパターン 1 6 と相違する。ここに例示するレジストパターン 1 6 a では、そのように素子分離領域 3 上に形成された部分が 4 箇所設けられている。このような形状のレジストパターン 1 6 a を除去したときの薄膜 S i 層 5 の形状は、図 3 4 に示すようになり、この薄膜 S i 層 5 と素子分離領域 3 との間の領域が開口部 1 7 a になる。このようなレジストパターン 1 6 a により、薄膜 S i 層 5 は、ゲート電極 8 直下を含め合計 6 箇所の部分で素子分離領域 3 に接続される。

【0 1 1 6】

図 3 5 はレジストパターンの第 2 の例を示した平面図、図 3 6 は第 2 の例のレジストパターンで形成される開口部を示した平面図である。ただし、図 3 5, 図 3 6 では、図 6, 図 7 に示した要素と同一の要素については同一の符号を付している。

【0 1 1 7】

図 3 5 に示すレジストパターン 1 6 b は、素子分離領域 3 上に形成された部分が 6 箇所設けられており、このような形状のレジストパターン 1 6 b を除去したときの薄膜 S i 層 5 の形状は、図 3 6 に示すようになる。この薄膜 S i 層 5 と素子分離領域 3 との間の領域が開口部 1 7 b になる。このようなレジストパターン 1 6 b により、薄膜 S i 層 5 は、ゲート電極 8 直下を含め合計 8 箇所の部分で素子分離領域 3 に接続される。

【0 1 1 8】

図 3 3, 図 3 5 に例示したようなレジストパターン 1 6 a, 1 6 b を形成することによ

り、図34、図36のように、薄膜Si層5を素子分離領域3に、より多くの場所で接続することができ、薄膜Si層5の落下を防止することができる。さらに、ここに例示したレジストパターン16a、16bでは、薄膜Si層5と素子分離領域3との接続位置が間欠的に配置されるように形成されているので、ウェットエッチングによりSiGe層14等を十分除去することができるとともに、表面張力やイオン注入等に対し、薄膜Si層5の湾曲の発生を防止することが可能になる。

#### 【0119】

なお、ここに挙げたレジストパターン16a、16bは単なる例であって、これ以外の形状であってもよい。例えば、レジストパターン16a、16bでは開口部17a、17bを複数箇所形成したが、1箇所だけ形成されるような形状であってもよい。また、レジストは、ゲート電極8のゲート長方向にあるソース・ドレイン10端部と素子分離領域3との間の領域のみ開口されるような形状としてもよい。あるいは、ゲート電極8直下の領域と、ゲート長方向にあるソース・ドレイン10端部と素子分離領域3との間とを除く領域のみ開口されるような形状としてもよい。

#### 【0120】

このように、形成するレジストの形状によって開口部の形状および位置を決めることができるため、開口部をゲート電極8から離れた位置に形成することも可能になる。この場合、層間絶縁膜11で開口部を塞ぐ際に、層間絶縁膜11が空洞4のゲート電極8直下にまで広がってしまうのを抑制することができる。空洞4は厚くするほど寄生容量低減の効果が大きくなるが、開口部をゲート電極8から離せば、空洞4を十分厚くすることが可能になる。レジストの形状は、空洞4を形成する際のエッチング効率、薄膜Si層5とゲート電極8との接続強度、開口部のゲート電極8からの距離等を考慮し、形成する半導体装置ごとに設計すればよい。

#### 【0121】

また、ここではレジストパターン16等を用いてウェットエッチング用の開口部17等を形成し、そこからSiGe層14等の犠牲層を除去する方法を用いた場合について述べたが、犠牲層の除去は別の方法によっても行うことができる。ここで、別の犠牲層除去方法を、第1から第3の例に示す。

#### 【0122】

まず犠牲層除去方法の第1の例について、図37から図40を参照して説明する。ただし、図37から図40では、図1に示した要素と同一の要素については同一の符号を付している。

#### 【0123】

図37は犠牲層除去方法の第1の例の第1工程図である。

まず、第1の実施の形態で述べた第1～第4製造工程に続いて第8、第9製造工程に進み、SiGe層14を除去することなく、全面に層間絶縁膜11を形成する。そして、第1の実施の形態で述べた第10製造工程に代えて、層間絶縁膜11および薄膜Si層5を貫通してSiGe層14に達するコンタクトホール42を形成する。

#### 【0124】

図38は犠牲層除去方法の第1の例の第2工程図である。

コンタクトホール42の形成後、ウェットエッチングを行い、コンタクトホール42からSiGe層14を除去し、Si基板2と薄膜Si層5との間に空洞4を形成する。

#### 【0125】

図39は犠牲層除去方法の第1の例の第3工程図である。

SiGe層14の除去後、Si基板2に対し、コンタクトホール42を通じてイオン注入を行い、熱処理を行ってソース・ドレインに相当する不純物拡散層43を形成する。

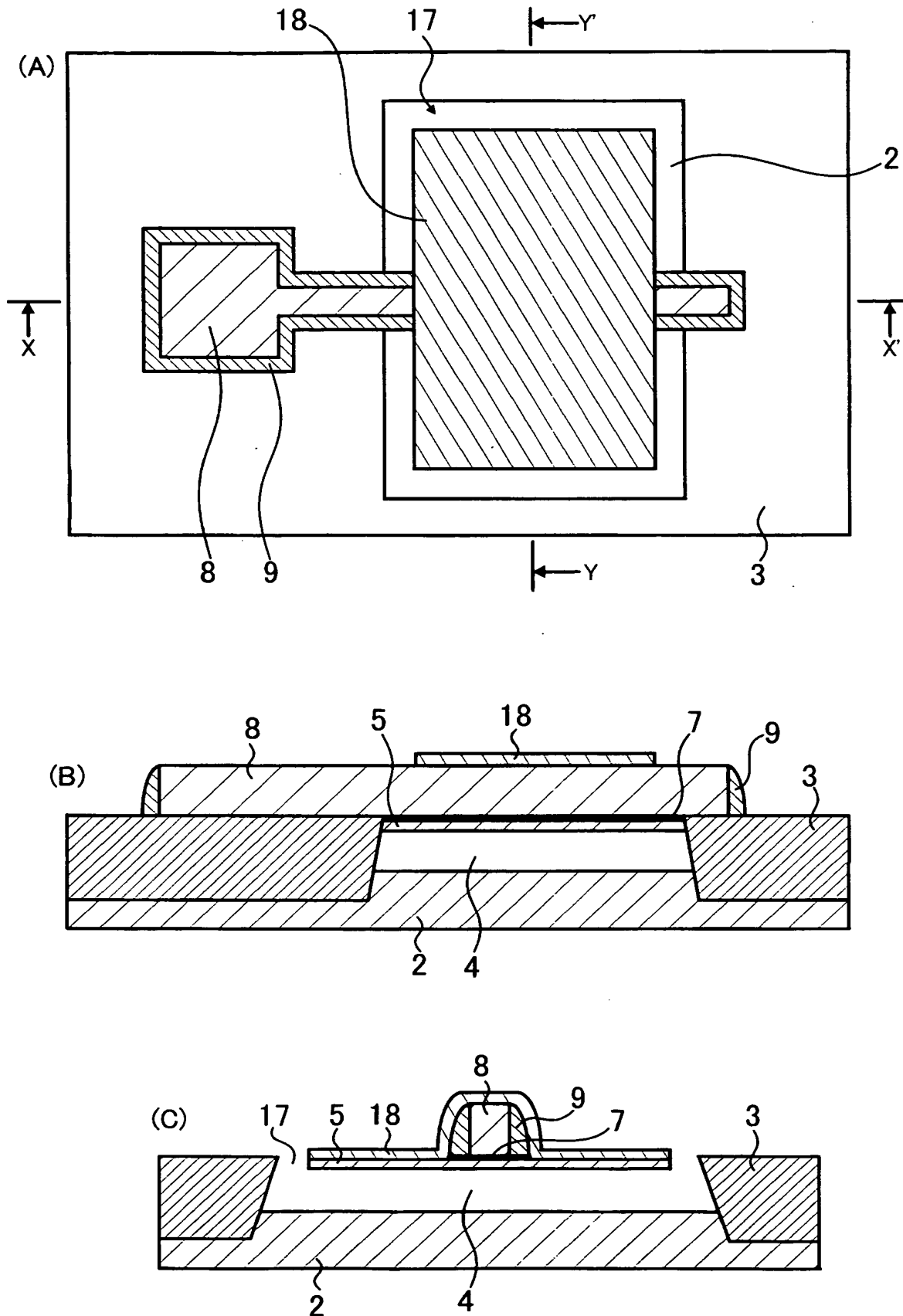
#### 【0126】

図40は犠牲層除去方法の第1の例の第4工程図である。

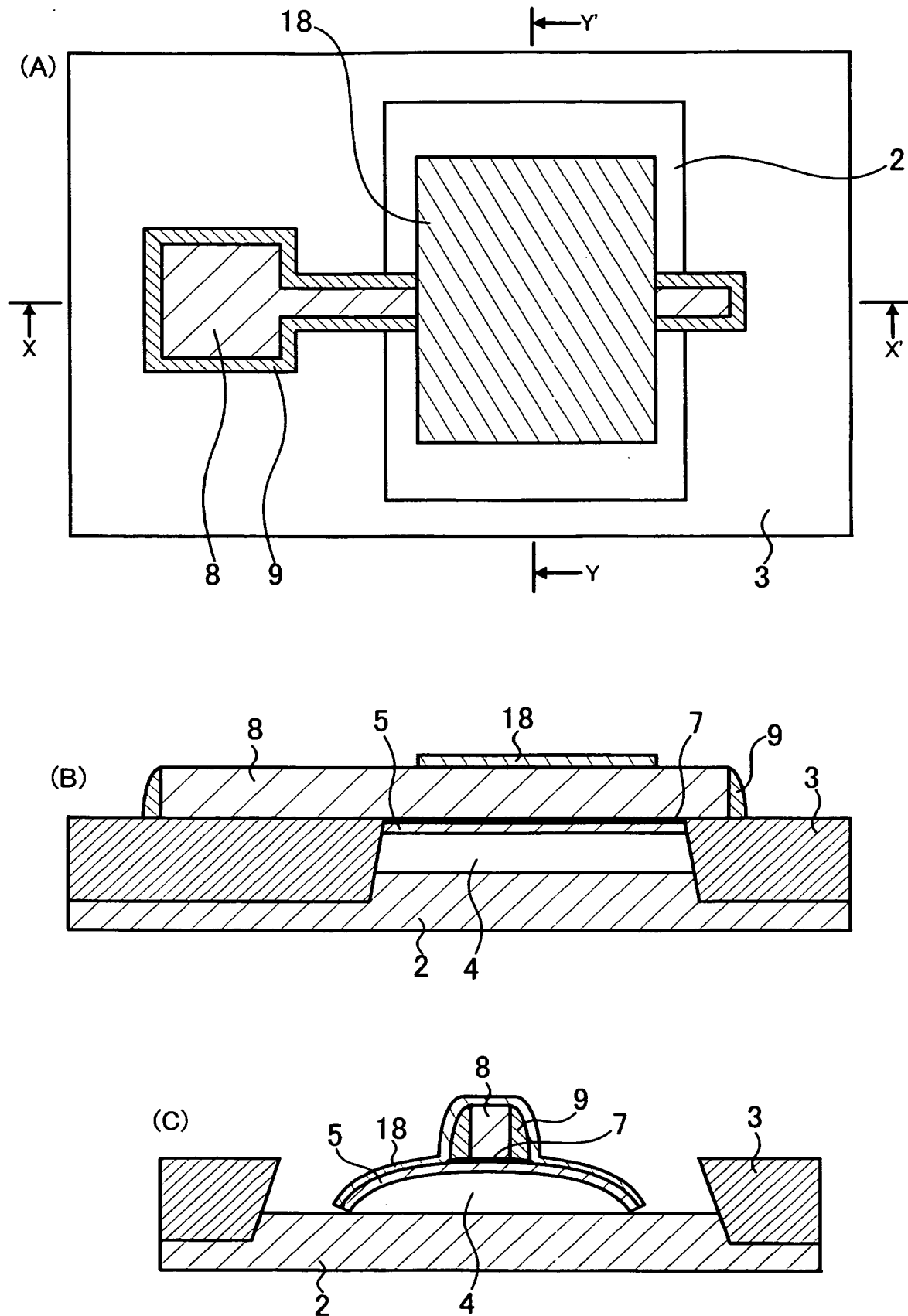
不純物拡散層43を形成した後、導電体膜を形成してプラグ44を形成する。

この第1の例に示した犠牲層の除去方法によれば、コンタクトホール42に入ったプラ

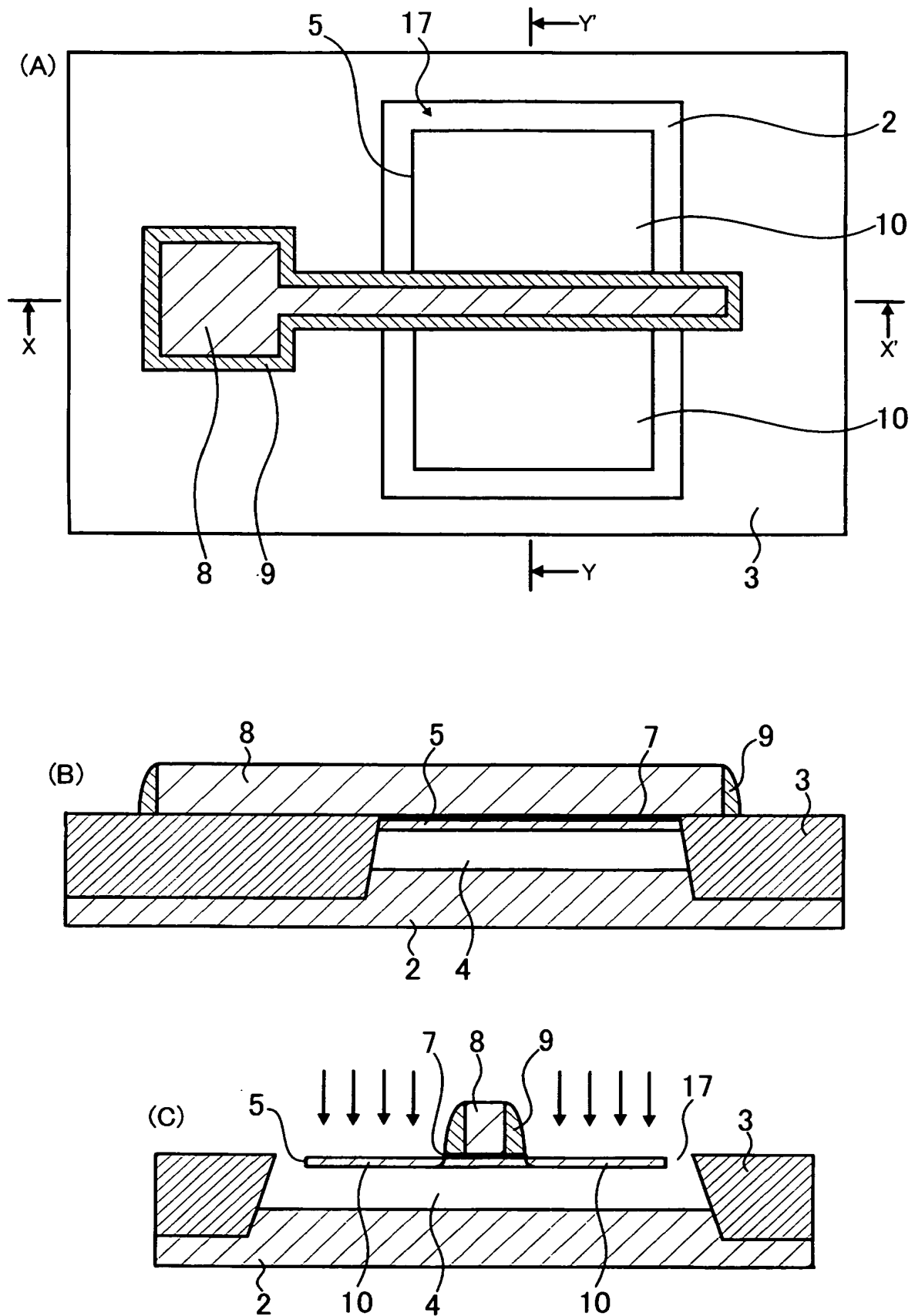
【図 9】



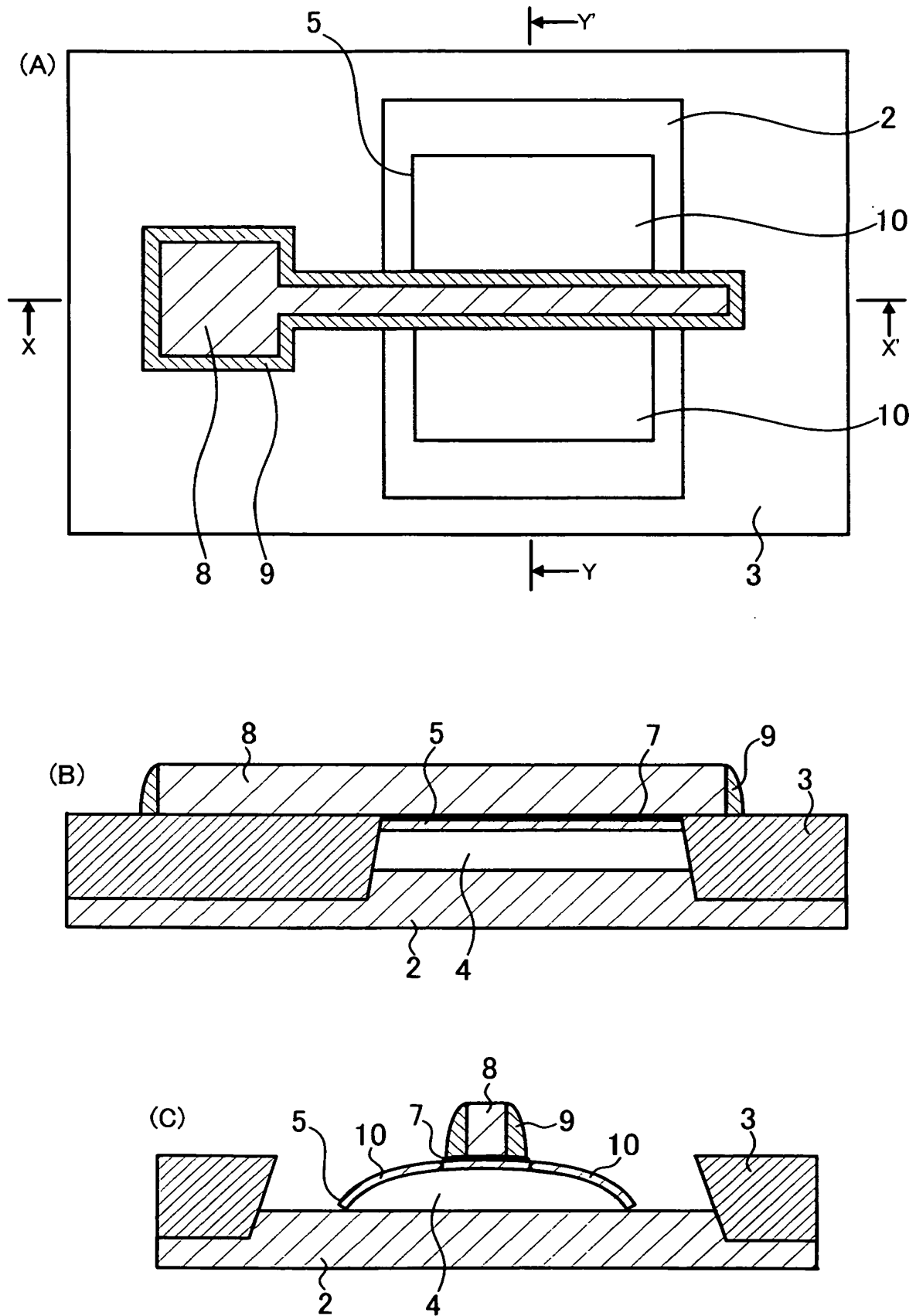
【図 10】



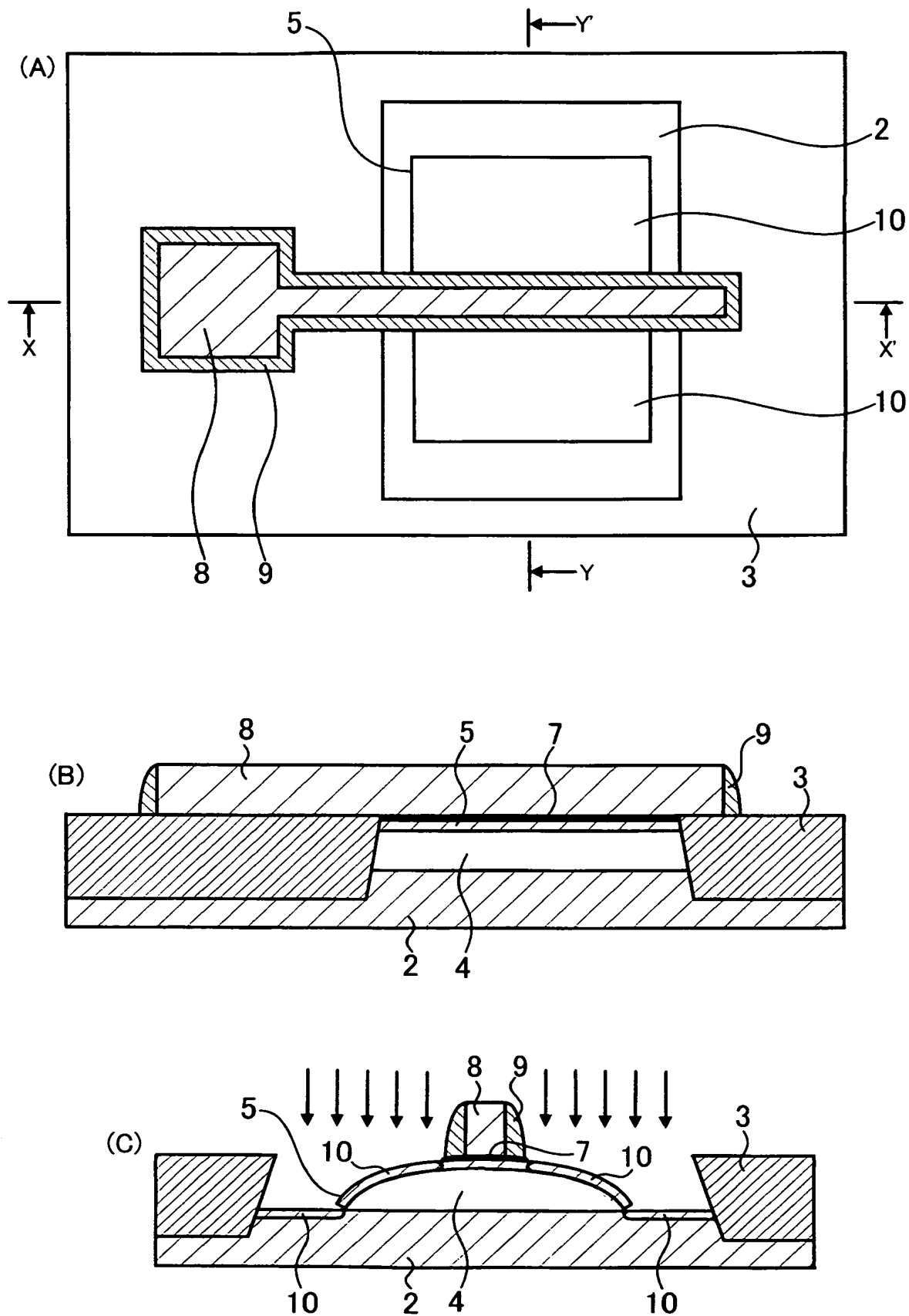
【図 11】



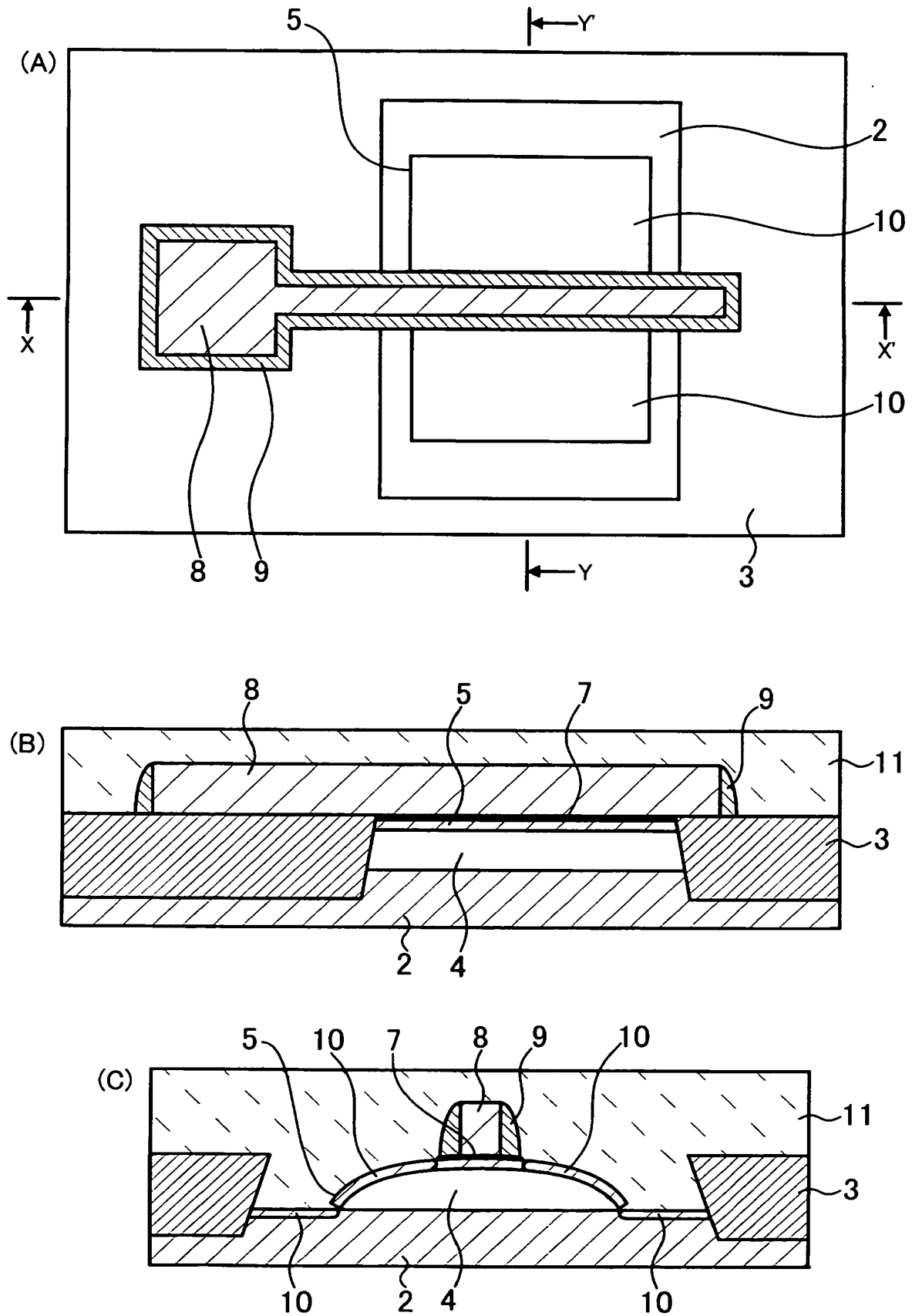
【図 12】



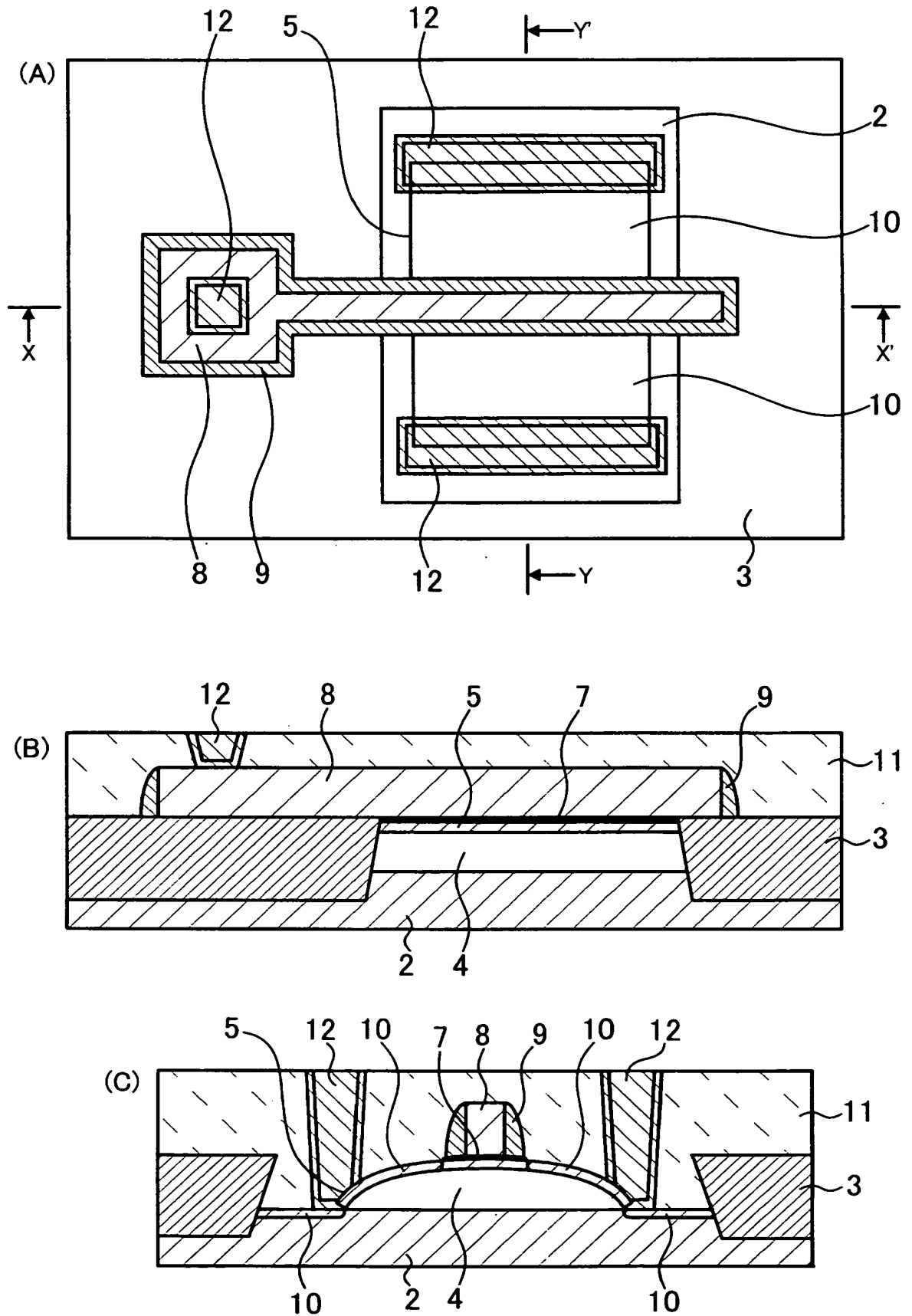
【図 13】



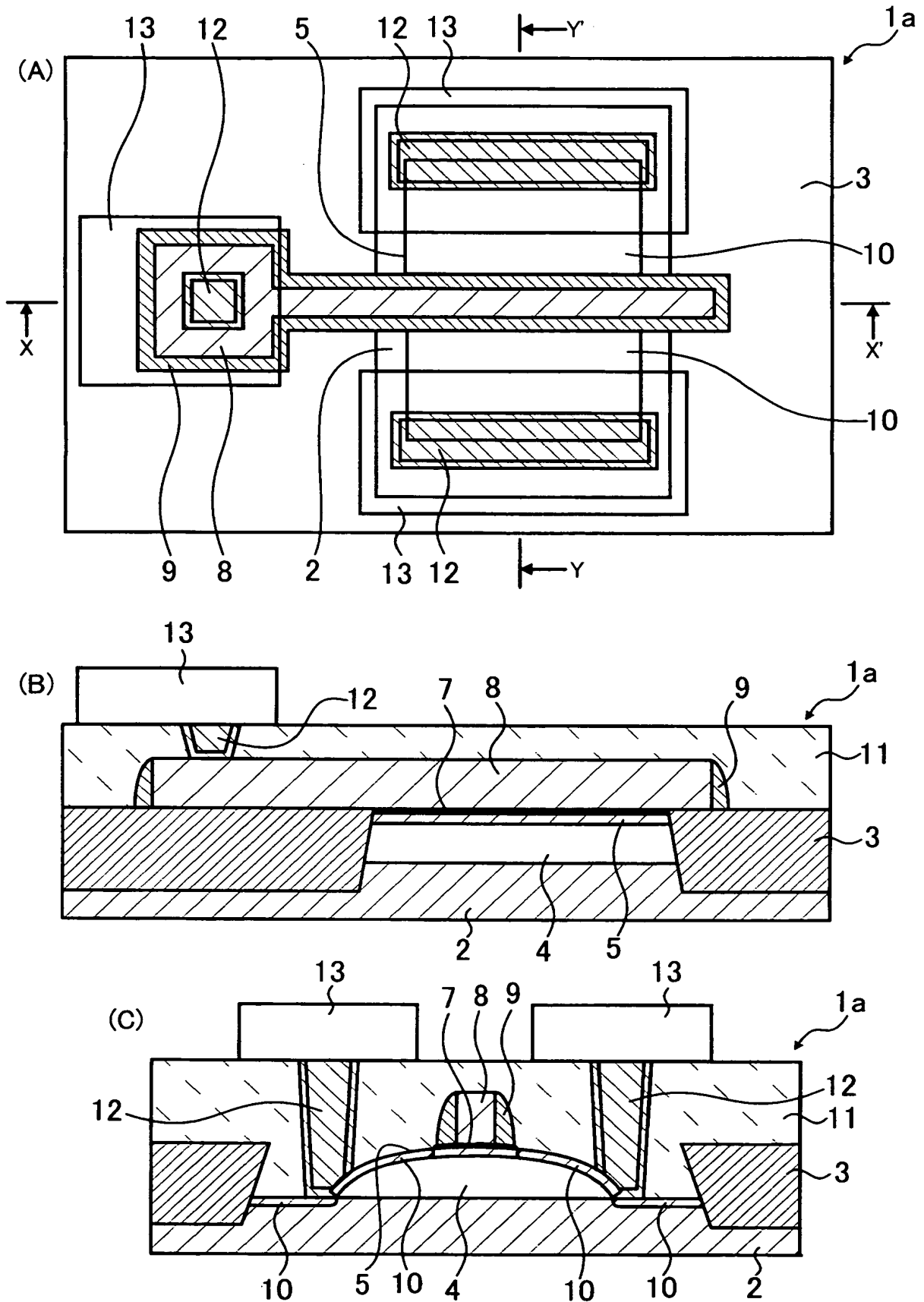
【図 14】



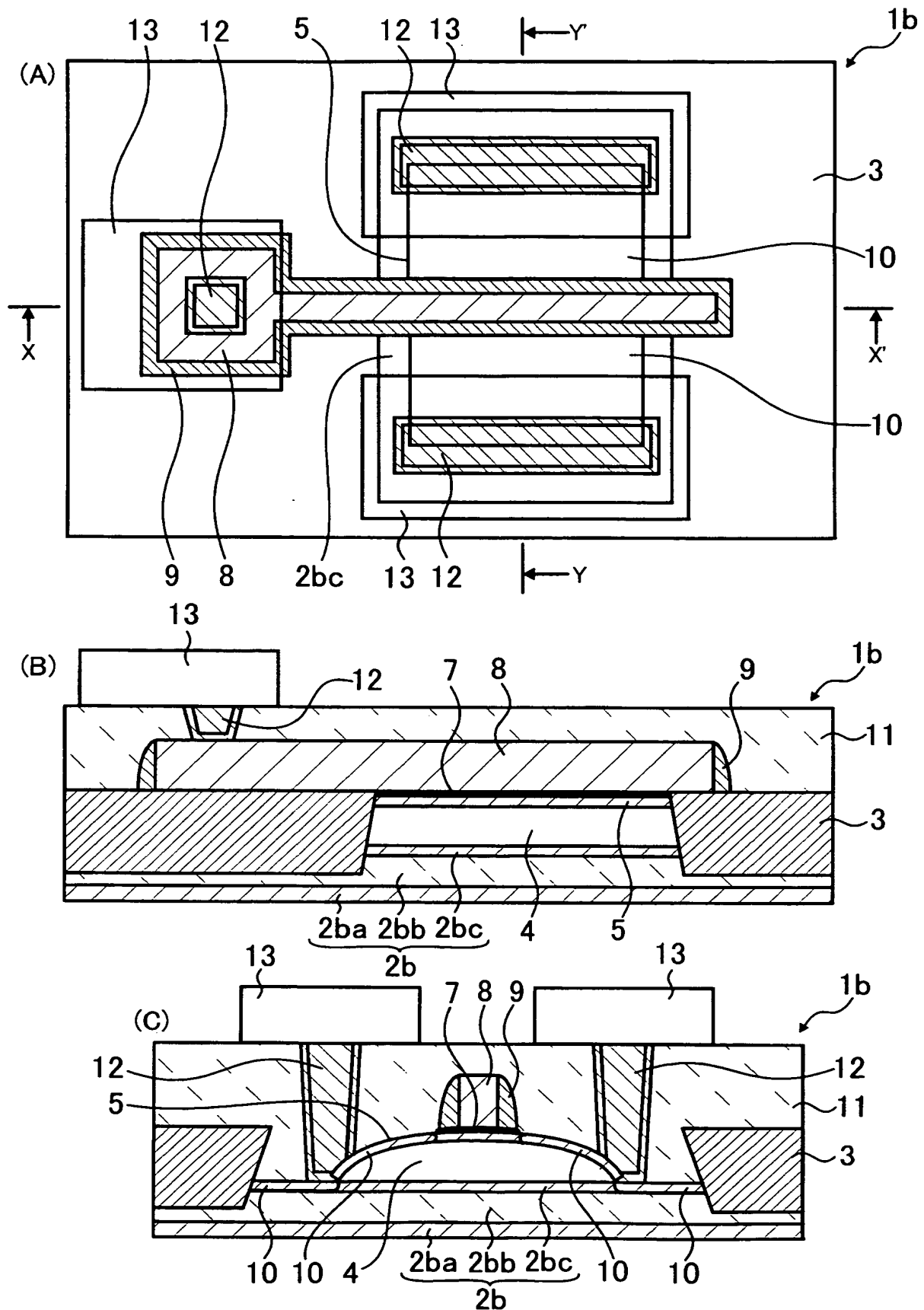
【図 15】



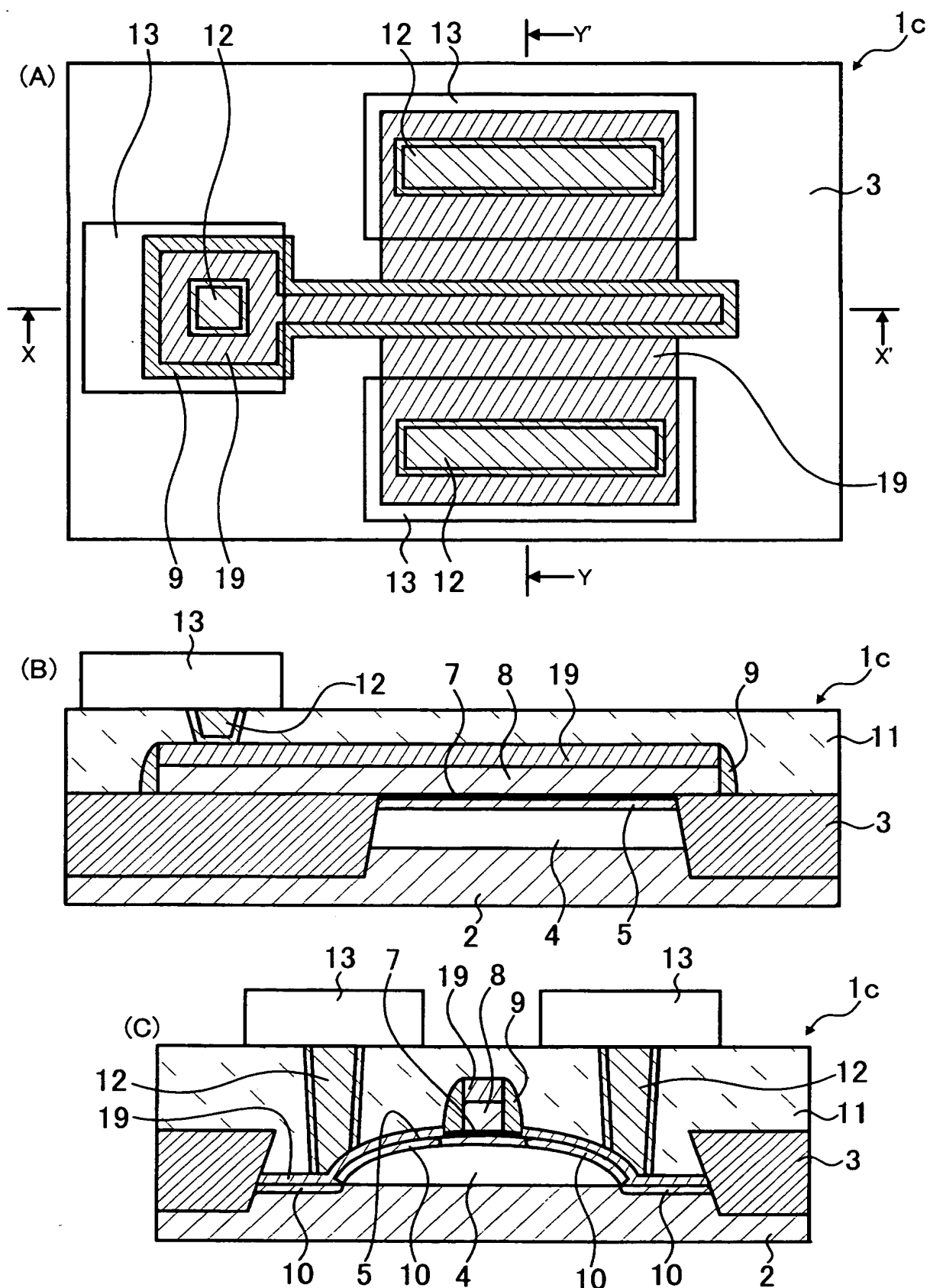
【図 16】



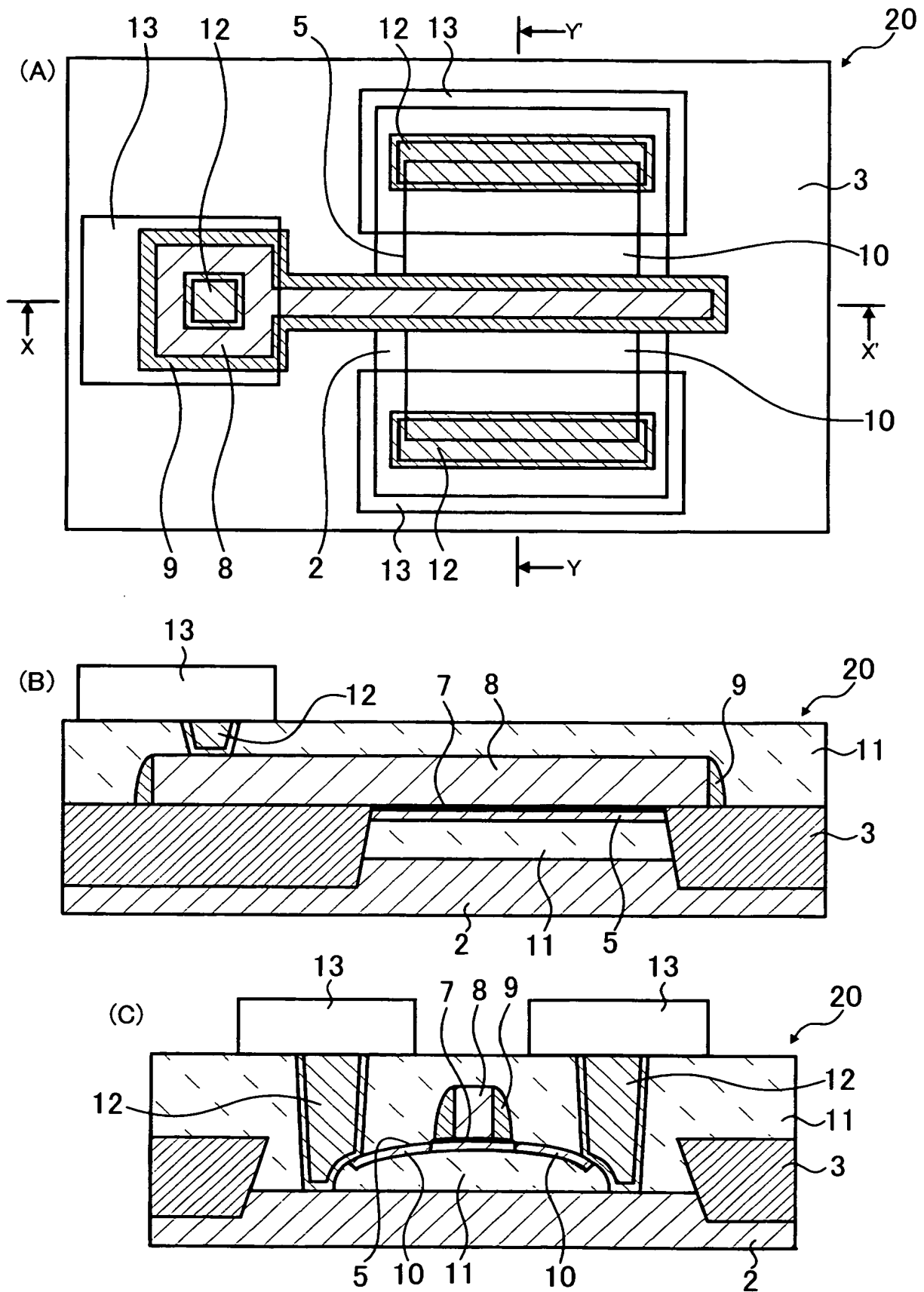
【図 17】



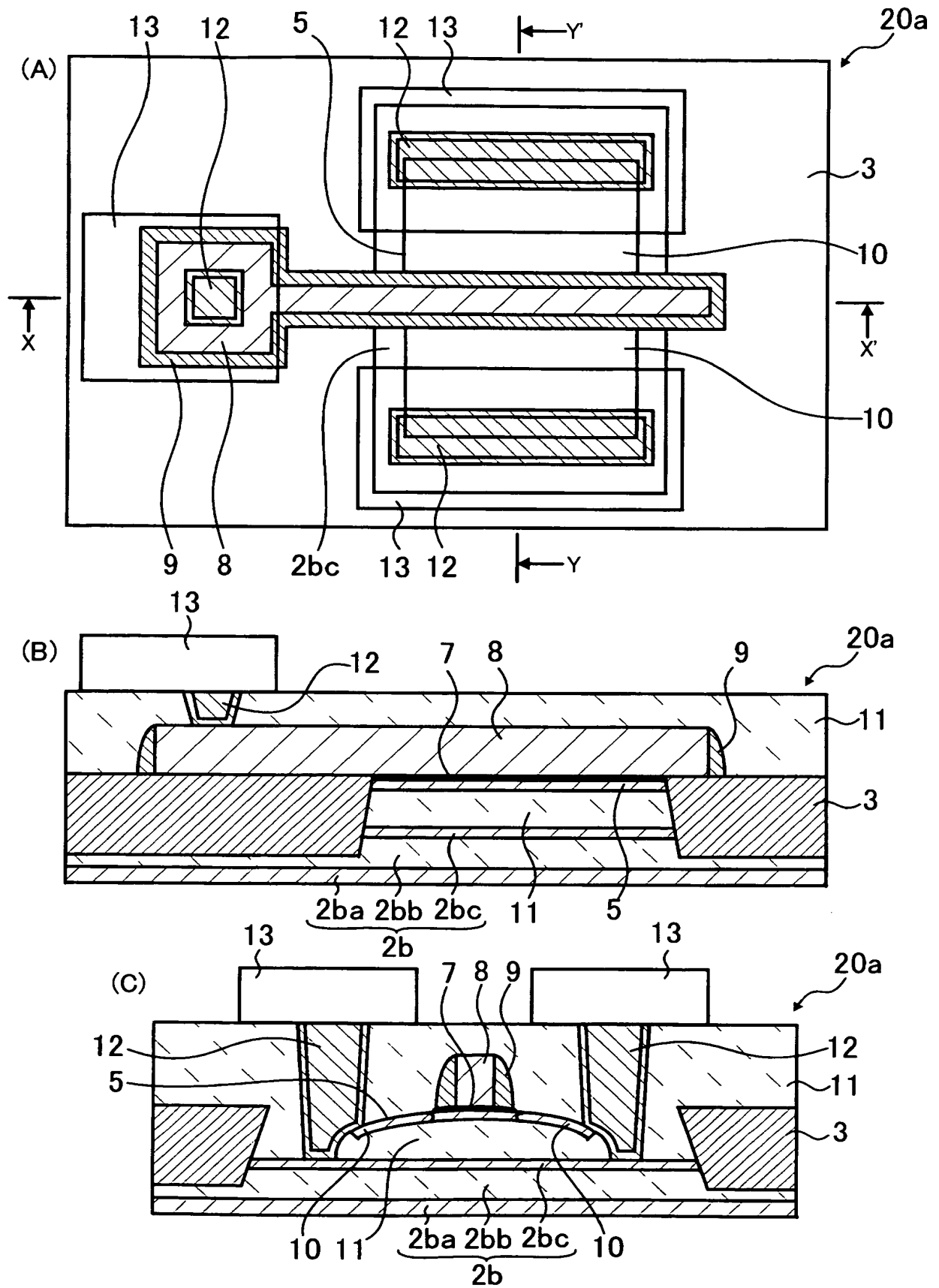
【図 18】



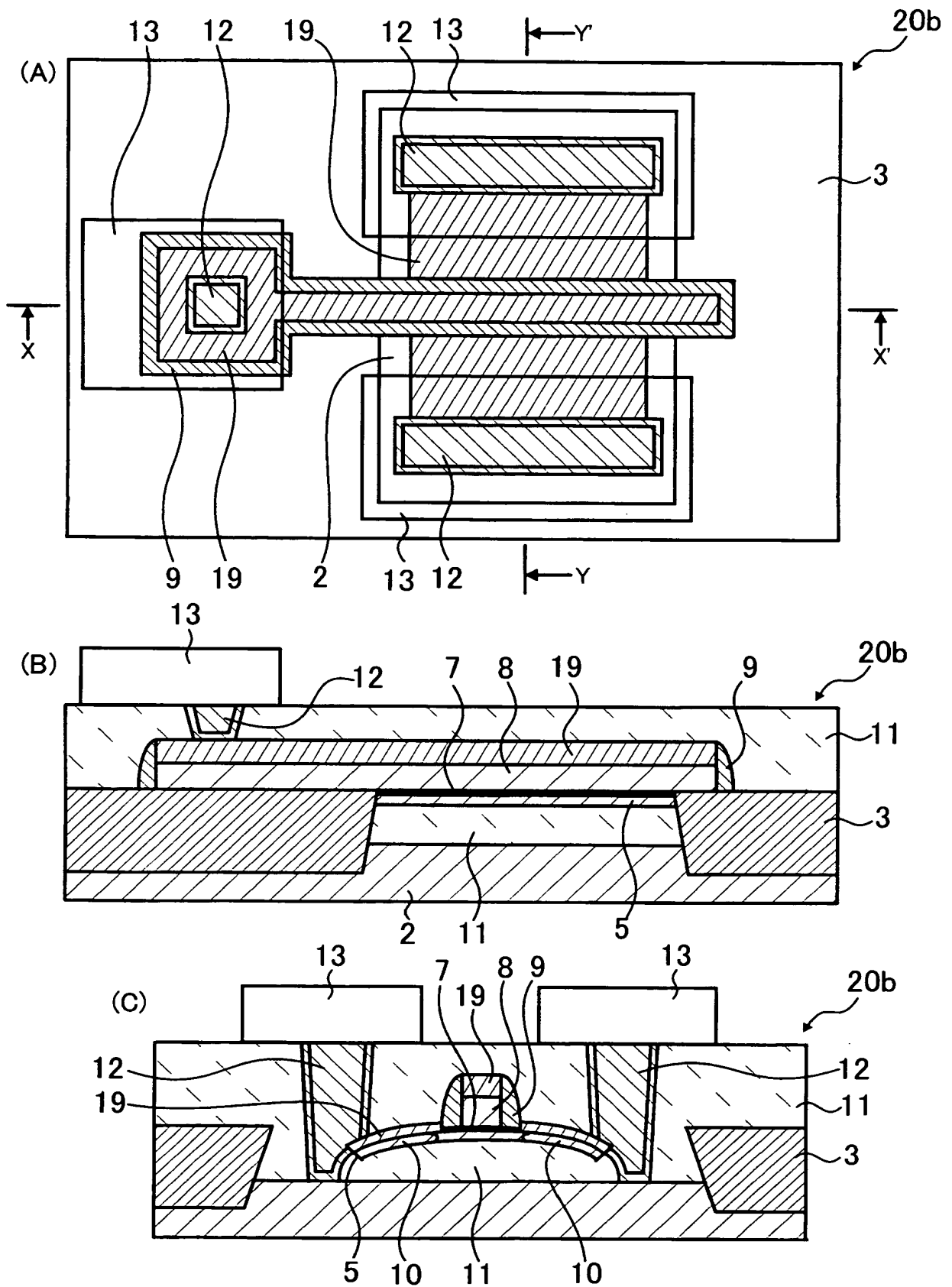
【図 19】



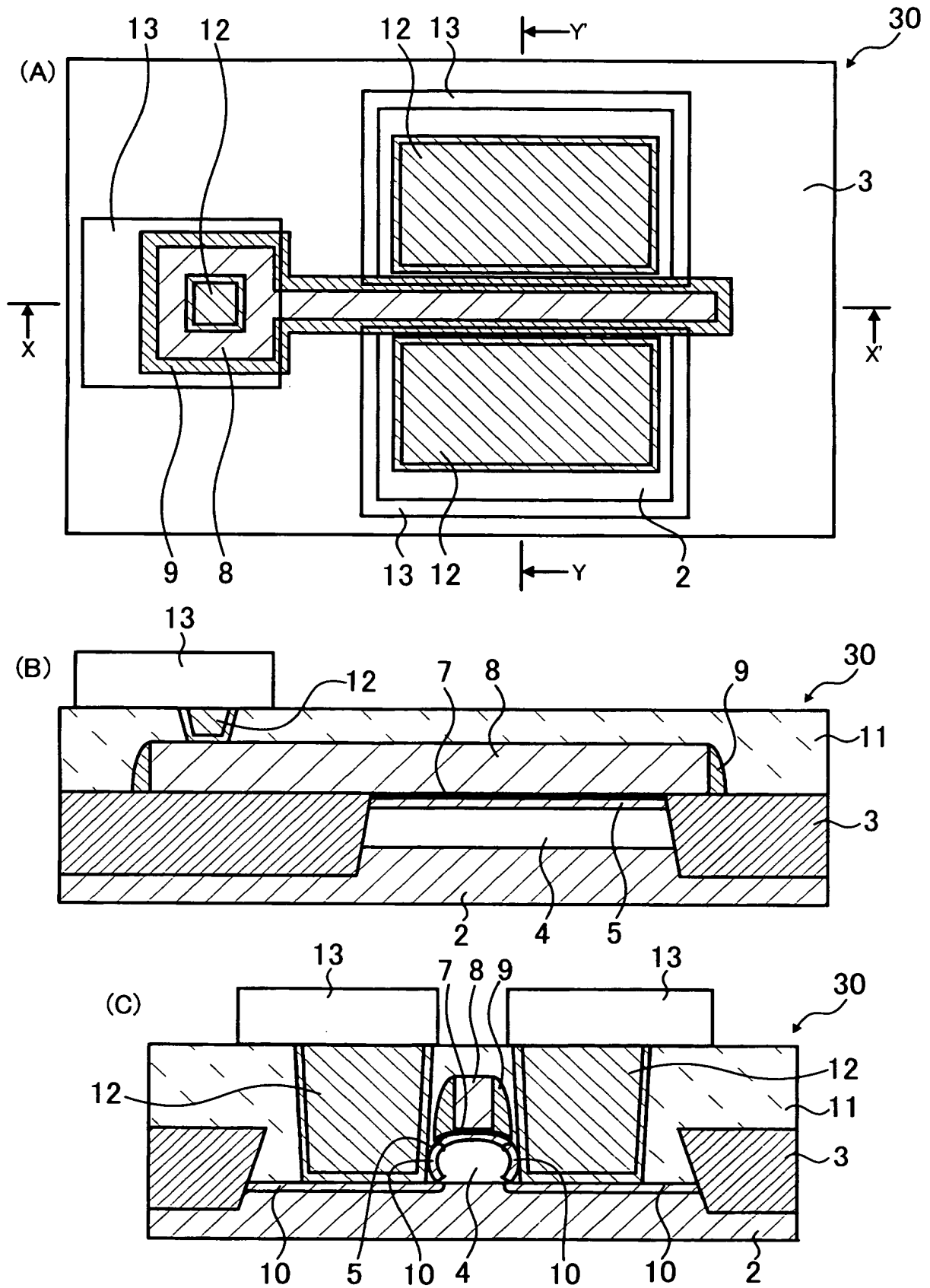
【図 20】



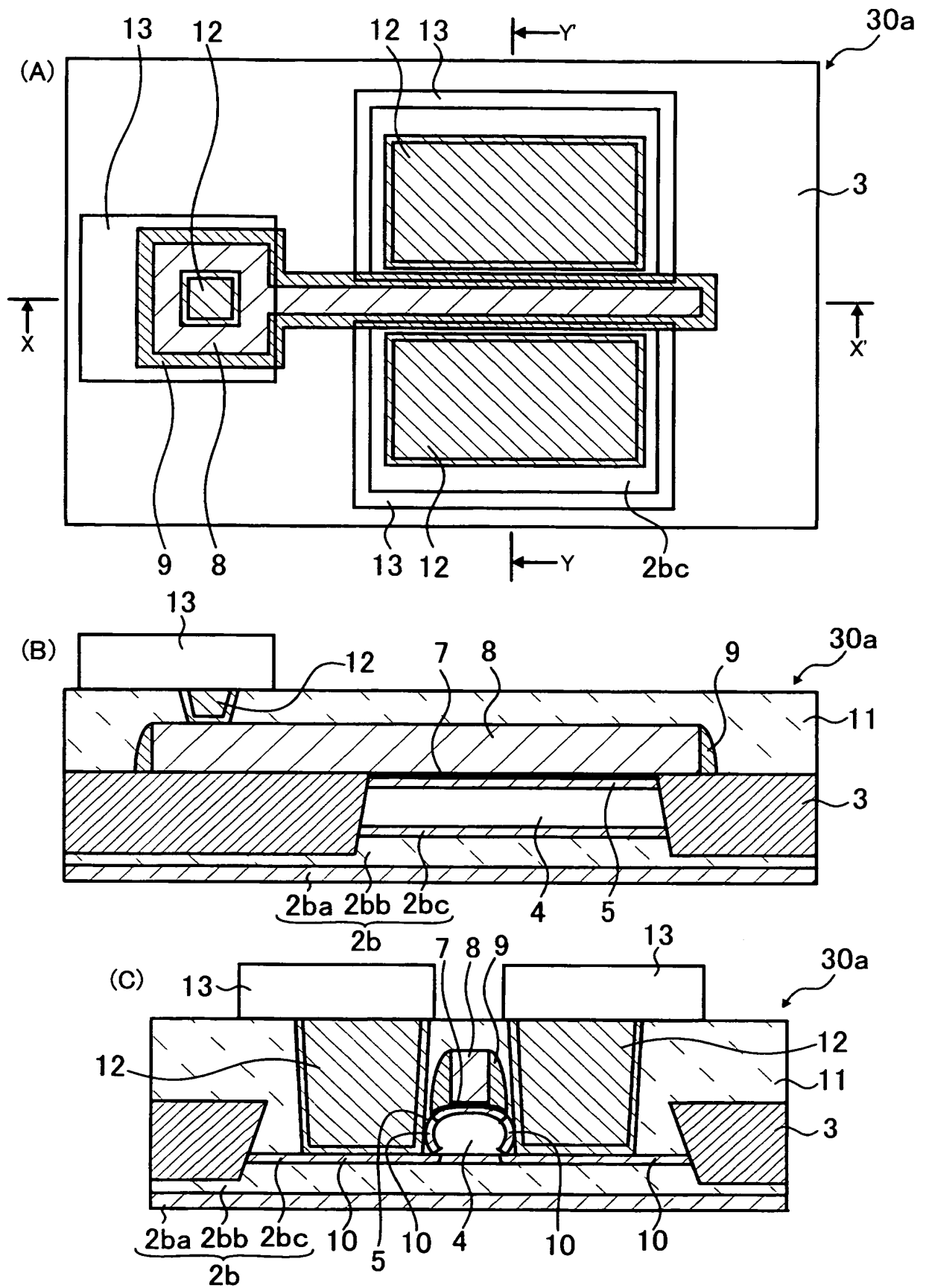
【図 21】



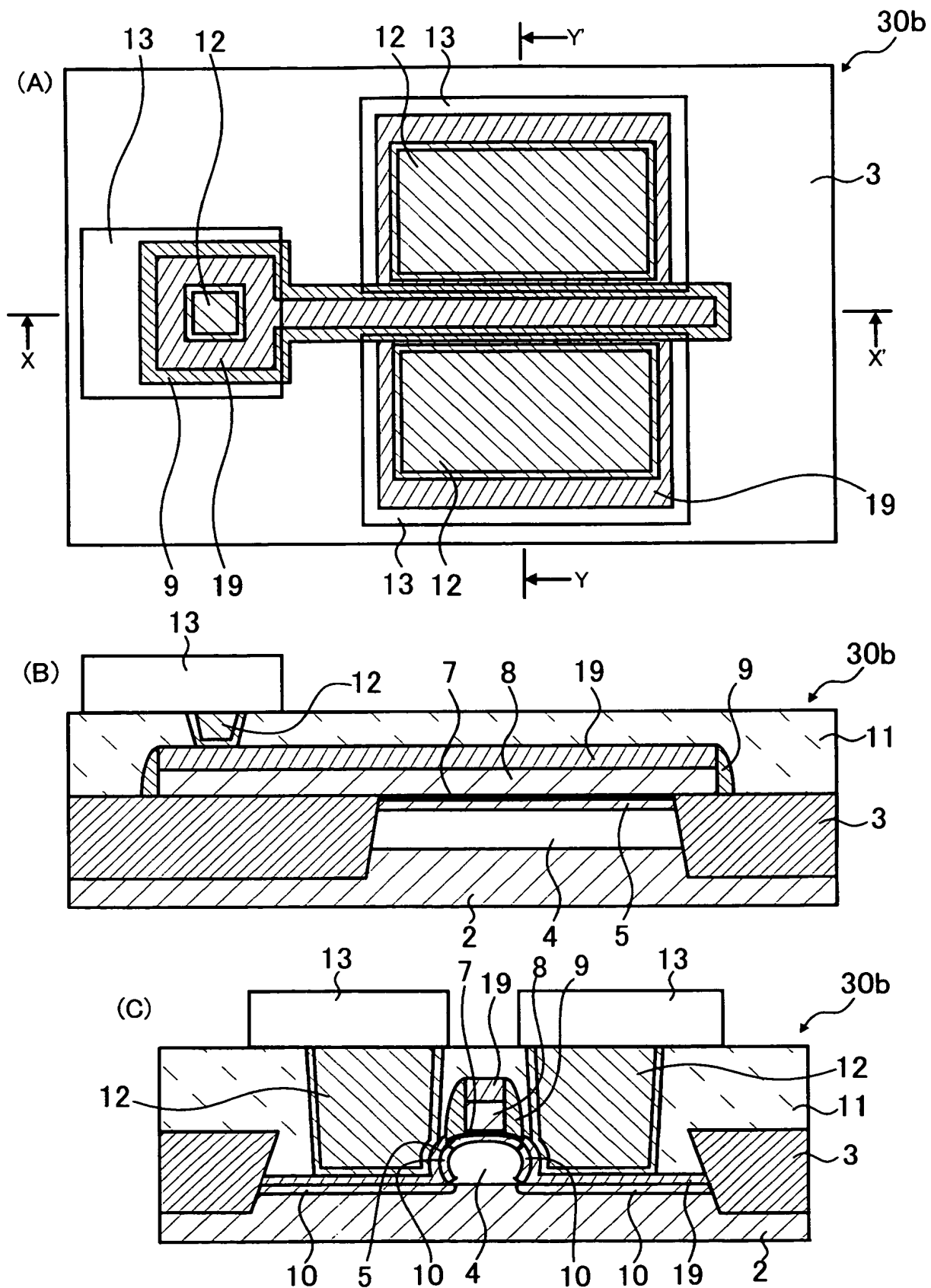
【図 22】



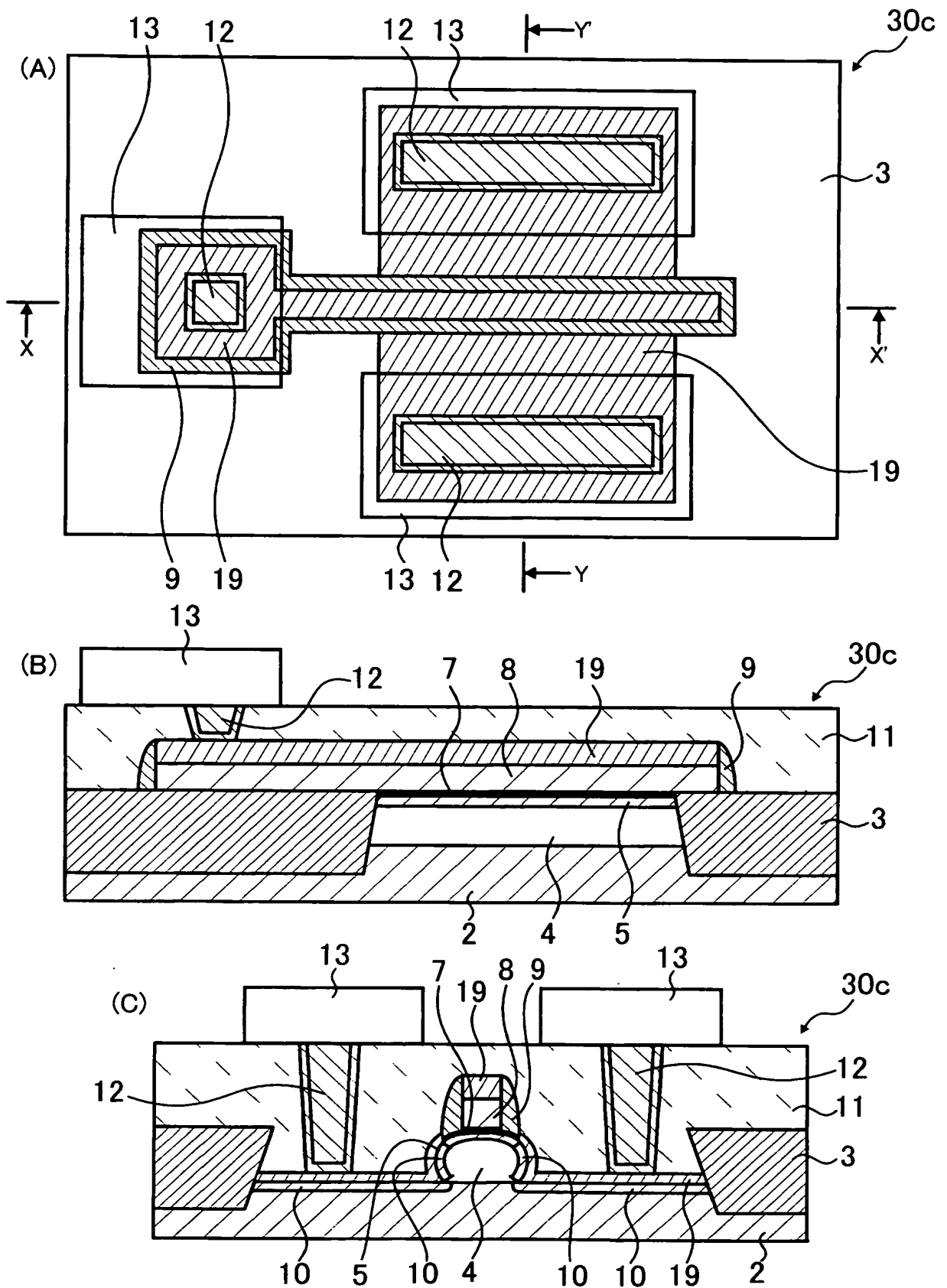
【図 23】



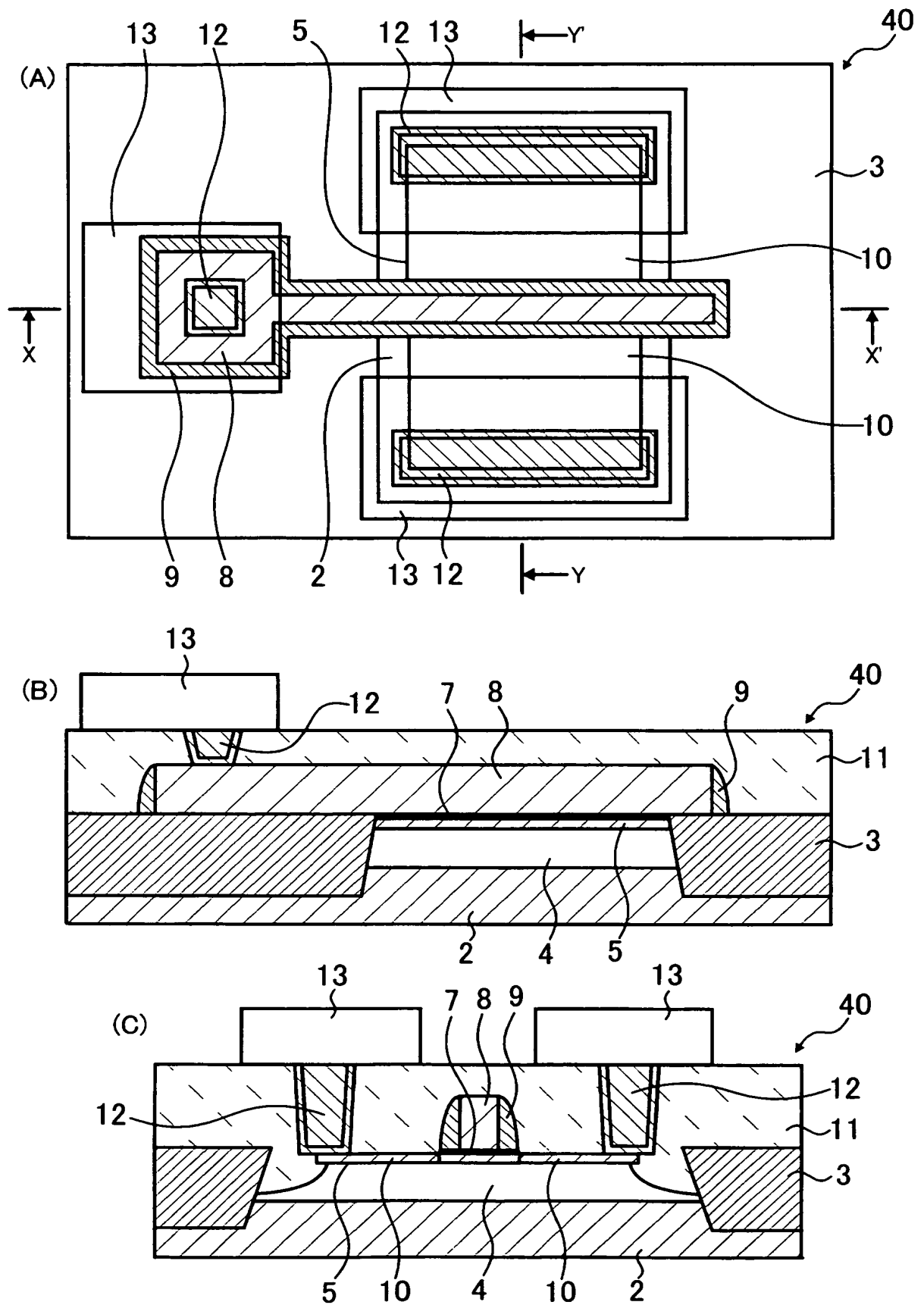
【圖 24】



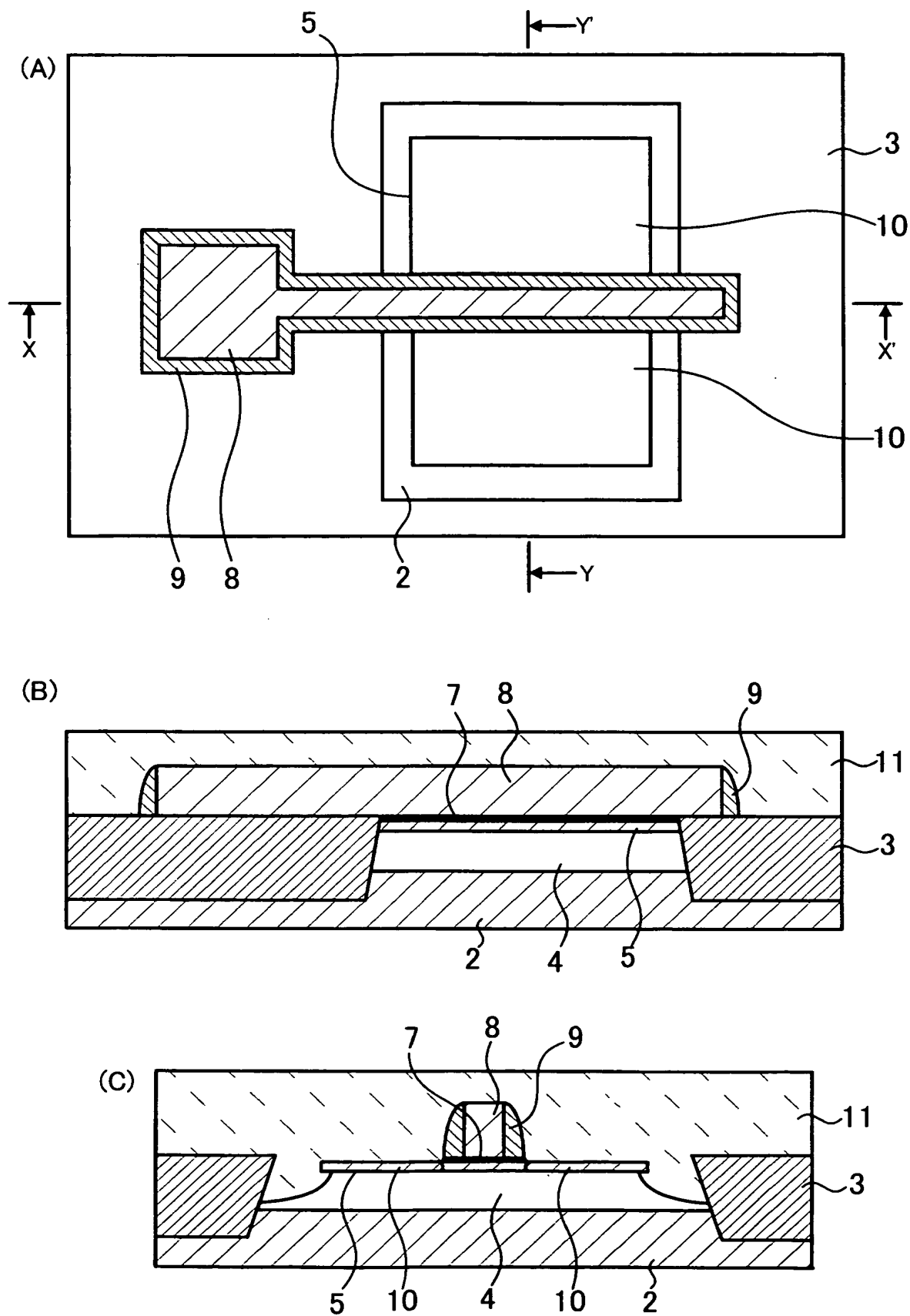
【図 25】



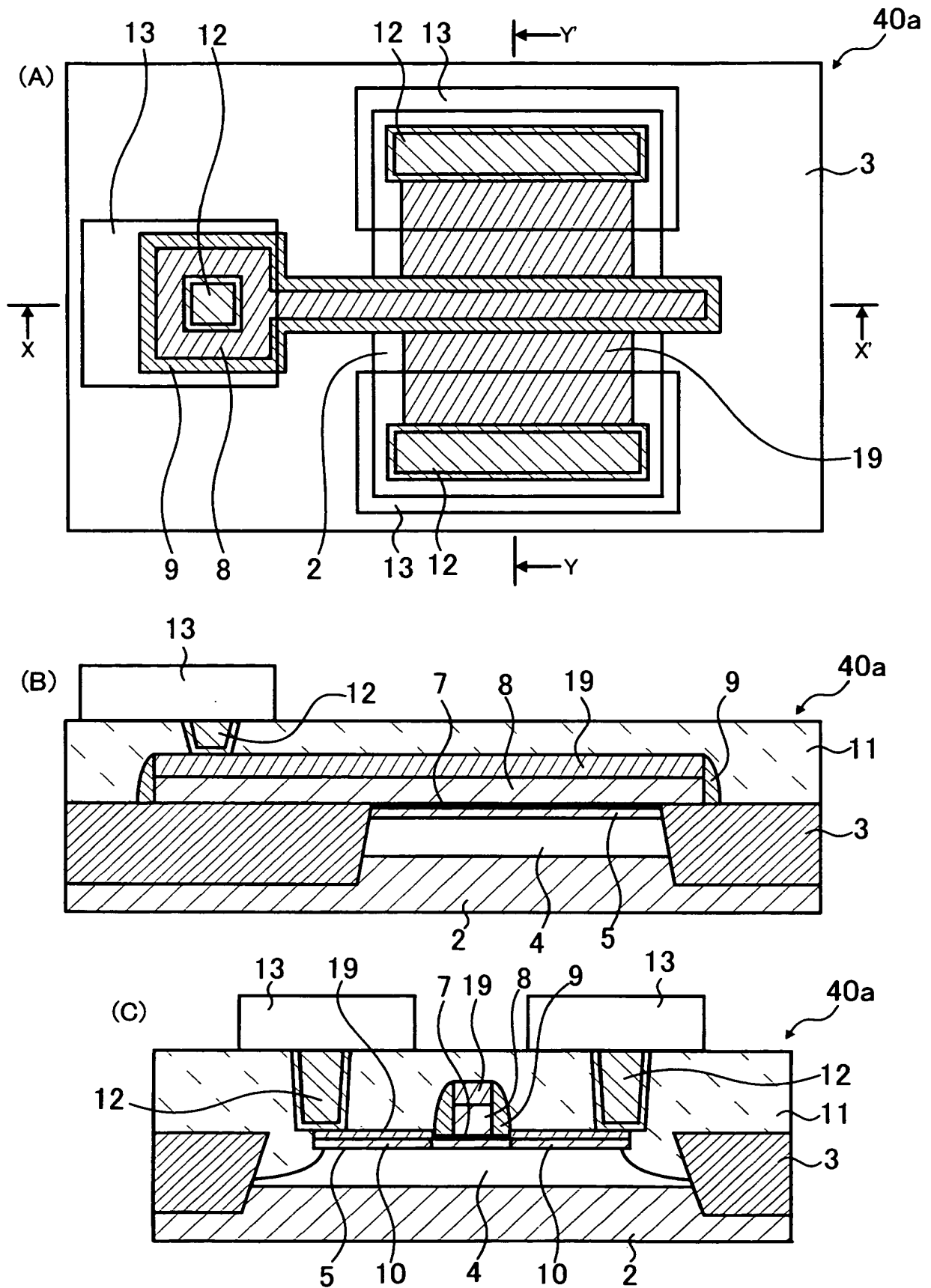
【図 26】



【図 27】



【図 28】



【図 29】

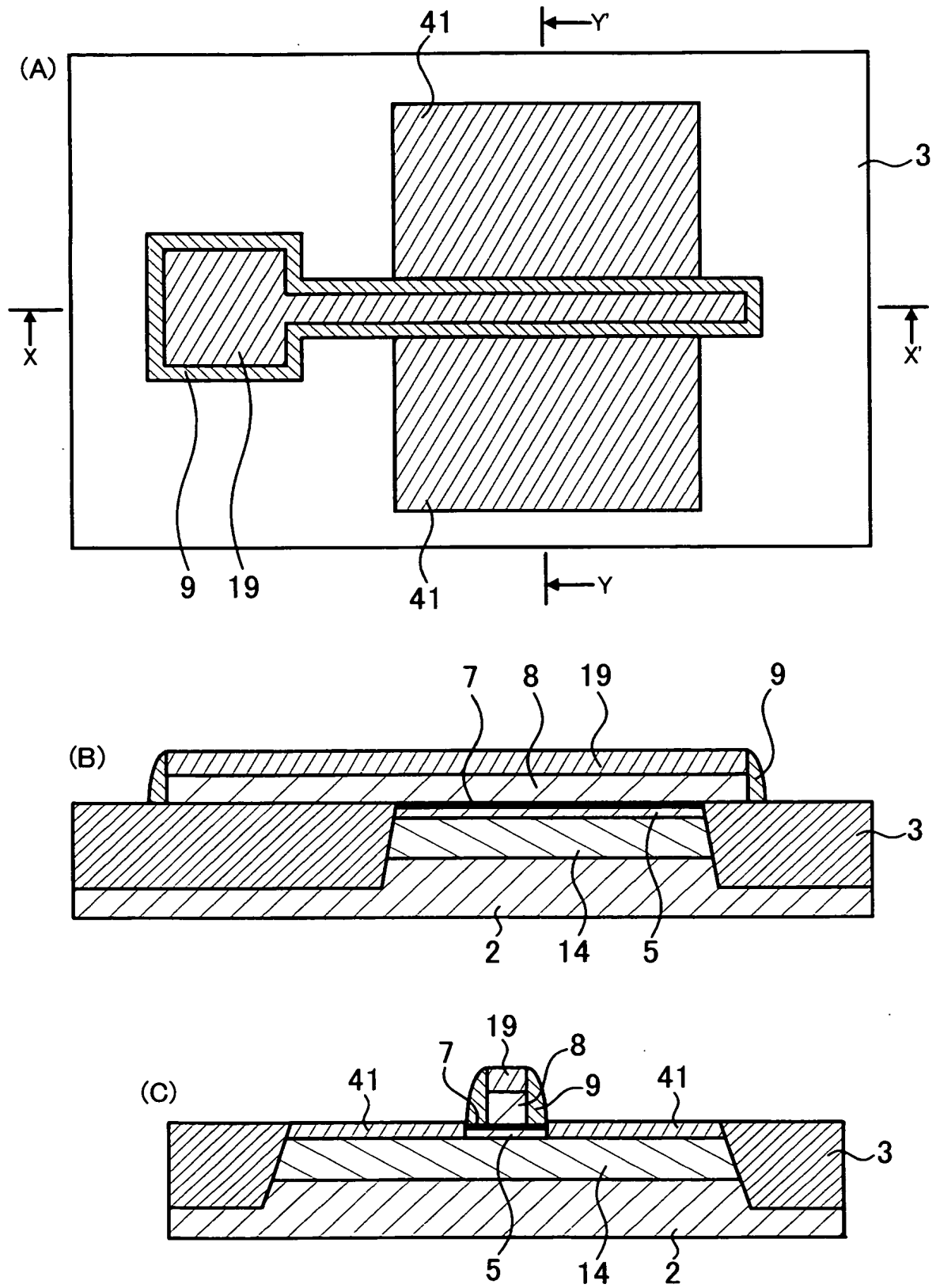


図 44 の導電体膜がソース・ドレイン 10 に接続されるとともに、その下端が不純物拡散層 43 に接続される。Si 基板 2 にこのような不純物拡散層 43 を形成していない場合には、導電体膜が Si 基板 2 に接続されることでソース・ドレイン間がショートしてしまう。しかし、Si 基板 2 に不純物拡散層 43 を形成しておくことにより、導電体膜が Si 基板 2 に接触しても、pn 接合に接触することになり、ソース・ドレイン間は電氣的に分離されることになる。この第 1 の例では、不純物拡散層 43 が形成されることでソース・ドレイン 10 の接合容量の低減効果は小さくなるが、チャンネル-Si 基板 2 間の接合容量の低減は可能である。

#### 【0127】

なお、SiGe 層 14 が比較的薄い場合には、薄膜 Si 層 5 にソース・ドレイン 10 を形成する際のイオン注入によって不純物拡散層 43 を Si 基板 2 に形成することもできる。SiGe 層 14 の除去後にも不純物拡散層 43 が残っている場合には、Si 基板 2 に対してコンタクトホール 42 を通じて改めて不純物拡散層 43 を形成するためのイオン注入は行わなくてもよい。また、第 1 の例に示した犠牲層除去方法は、ソース・ドレイン 10 がシリサイド化されていてもそのまま適用することができる。

#### 【0128】

次に犠牲層除去方法の第 2 の例について、図 41 から図 44 を参照して説明する。ただし、図 41 から図 44 では、図 1 に示した要素と同一の要素については同一の符号を付している。

#### 【0129】

図 41 は犠牲層除去方法の第 2 の例の第 1 工程図である。

この第 2 の例では、ソース・ドレインが全てシリサイド化されている場合について述べる。例えば、まず、第 1 の実施の形態で述べた第 1～第 4 製造工程に続いて第 8 製造工程に進み、ソース・ドレイン形成後にシリサイド化を行い、シリサイド層 45 を形成する。その際、シリサイド層 45 は、薄膜 Si 層 5 を予め薄く形成しておき、薄膜 Si 層 5 中のソース・ドレインを全てシリサイド化して形成する。

#### 【0130】

図 42 は犠牲層除去方法の第 2 の例の第 2 工程図である。

シリサイド層 45 の形成後、全面に層間絶縁膜 11 を形成し、層間絶縁膜 11 を貫通してシリサイド層 45 に達するコンタクトホール 42a を形成する。この状態で SiGe 層 14 のウェットエッチングを行う。シリサイド層 45 は隙間の多い材料であるため、ウェットエッチングの際にはエッチング液がコンタクトホール 42a を通じて SiGe 層 14 まで浸入する。

#### 【0131】

図 43 は犠牲層除去方法の第 2 の例の第 3 工程図である。

SiGe 層 14 は浸入したエッチング液によってシリサイド層 45 およびコンタクトホール 42a を通じて除去され、シリサイド層 45 および薄膜 Si 層 5 の下に空洞 4 が形成される。シリサイド層 45 はコンタクトホール 42a の底部に残る。

#### 【0132】

図 44 は犠牲層除去方法の第 2 の例の第 4 工程図である。

コンタクトホール 42a に導電体膜を形成してプラグ 44a を形成する。プラグ 44a を形成するための導電体膜は、スパッタ法で形成するにせよ、CVD 法で形成するにせよ、カバレッジがあまり良くないため、シリサイド層 45 の隙間を通り抜けることができない。その結果、チャンネル領域とともにソース・ドレインに相当する領域も空洞 4 の上に形成されることとなり、チャンネル-Si 基板 2 間の接合容量およびソース・ドレイン 10 の接合容量を低減することができる。

#### 【0133】

次に犠牲層除去方法の第 3 の例について、図 45 から図 47 を参照して説明する。ただし、図 45 から図 47 では、図 1 に示した要素と同一の要素については同一の符号を付している。

**【0134】**

図45は犠牲層除去方法の第3の例の第1工程図である。

この第3の例では、前述のような基板2ba、BOX層2bbおよびSi層2bcが積層された一般的なSOI基板2bを用いた場合について述べる。このようなSOI基板2b上にSiGe層14および薄膜Si層5を積層し、第1の例と同じく、第1の実施の形態で述べた第1～第4製造工程に続いて第8、第9製造工程に進み、全面に層間絶縁膜11を形成し、SiGe層14に達するコンタクトホール42bを形成する。

**【0135】**

図46は犠牲層除去方法の第3の例の第2工程図である。

コンタクトホール42bの形成後、さらに第1の例と同じく、ウェットエッチングを行い、コンタクトホール42bからSiGe層14を除去し、薄膜Si層5の下に空洞4を形成する。このとき、空洞4の底にはSi層2bcが残る。このSi層2bcは、次のプラグ44bの形成前にウェットエッチングにより除去する。その際には、Si層2bcと共に薄膜Si層5もエッチングされてしまうため、Si層2bcの除去後にも薄膜Si層5が残るよう、予め各々の膜厚を適切に設定しておく。

**【0136】**

図47は犠牲層除去方法の第3の例の第3工程図である。

Si層2bcの除去後は、コンタクトホール42bに導電体膜を形成してプラグ44bを形成する。プラグ44bの下端はBOX層2bbに接続するのでソース・ドレイン間がショートすることはない。

**【0137】**

また、プラグ44bは、導電体膜の成膜条件を調整してカバレッジを調整することで、底まで導電体膜を入れないようにして形成することもできる。このような場合には、図46に示したようにSi層2bcを除去することを要せず、また、図40に示したような不純物拡散層43を形成することも要しない。

**【0138】**

なお、SOI基板2bを用いてそのBOX層2bbを犠牲層とし、Si層2bcをソース・ドレインおよびチャネル領域とする場合には、基板2baに第1の例に従って図39に示したような不純物拡散層43を形成するようにすればよい。また、SOI基板2bに代えて、BOX層上にSiGe層が積層されたSiGe On Insulator構造の基板を用い、その上にさらにSiGe層14および薄膜Si層5を形成した場合、ウェットエッチング後には空洞4の底がBOX層になり、導電体膜形成によるショートの問題は発生しない。SOI基板2b上にSi層とSiGe層を順に積層し、SOI基板最上層のSi層とその上に形成したSi層とを除去してSiGe層を残す場合も同じく、導電体膜形成によるショートの問題は発生しない。

**【0139】**

この第1の例から第3の例に示したように、薄膜Si層5を湾曲させない場合には、SiGe層14等の犠牲層は、ソース・ドレイン10等に接続されるプラグ形成のためのコンタクトホールを利用して除去することが可能である。

**【0140】**

なお、以上説明した第1から第4の実施の形態においては、必要に応じて、薄膜Si層5上にさらに半導体層をエピタキシャル成長した後にイオン注入等を行ってソース・ドレインを形成したスタックト・ソース・ドレイン構造を形成するようにしてもよい。このような構造を採ることによって低抵抗化を図ることもできる。

**【0141】**

次に、第5の実施の形態について説明する。

図48および図49は第5の実施の形態の半導体装置の製造工程図であって、(A)は平面から見た要部平面概略図、(B)は(A)のX-X'断面概略図、(C)は(A)のY-Y'断面概略図である。ただし、図48および図49では、図1に示した要素と同一の要素については同一の符号を付している。

## 【0142】

第5の実施の形態では、図5に示した第1の実施の形態の半導体装置1の第4製造工程でゲート電極8およびサイドウォール9を形成した後、図48(B), (C)に示すように、素子分離領域3をエッチングにより後退させ、SiGe層14の側壁を露出させて開口部を形成する。続いて、図7に示した第1の実施の形態の半導体装置1の第6製造工程と同様にして、SiGe層14の露出部分からエッチング液を浸入させ、図49(A), (B), (C)に示すように、薄膜Si層5の下にSiGe層14を除去して空洞4を形成する。以降は、形成する半導体装置の形態に応じて適当な工程に移行する。

## 【0143】

このように、素子分離領域3をエッチングしてSiGe層14を露出させることにより、図6, 図33, 図35に示したようなレジストパターン16, 16a, 16bを形成することを要せず、フォトリソ工程を省略することができるようになる。これにより、製造コストを削減できるとともに、開口部をフォトリソグラフィ法によらず微細化でき、後に層間絶縁膜11で塞ぐのも容易になる。ここでは、Si基板2上にSiGe層14および薄膜Si層5を形成した基板を用いている場合を例にして述べた。勿論、Si基板2上にBOX層および薄膜Si層5が形成されたSOI構造の基板の場合や、SOI基板上にSiGe層14および薄膜Si層5が形成された基板を用いた場合、さらにはSiGe On Insulator構造の基板の場合にも適用できる。

## 【0144】

なお、以上第1～第5の実施の形態では、素子分離領域3を形成する際、Si基板2やSOI基板2b上にSiGe層14等および薄膜Si層5を形成した後、トレンチ形成を行っていた。このトレンチ形成は、SiGe層14等および薄膜Si層5の形成前に行うことも可能である。ここで、素子分離領域3の別の形成方法について説明する。

## 【0145】

図50および図51は素子分離領域の形成方法の説明図であって、(A)は平面から見た要部平面概略図、(B)は(A)のX-X'断面概略図、(C)は(A)のY-Y'断面概略図である。ただし、図50および図51では、図3に示した要素と同一の要素については同一の符号を付している。

## 【0146】

図50に示すように、例えばSi基板2に素子分離領域3を形成する場合、まず、Si基板2にトレンチを形成してSiNやSiO<sub>2</sub>等の絶縁膜を堆積して平坦化した後、トランジスタ形成領域を保護していた絶縁膜を選択的に除去する。これにより、図50(B), (C)に示したように、Si基板2から突出する素子分離領域3を形成する。そして、図51(A), (B), (C)に示すように、素子分離領域3で囲まれたトランジスタ形成領域に、例えばSiGe層14および薄膜Si層5を順にエピタキシャル成長していくようにする。これにより、図3に示したような構造と同様の構造を得ることができる。Si基板2に代えてSOI基板2bを用いたような場合にも同じ手順で行える。

## 【0147】

以上説明したように、第1～第4の実施の形態の半導体装置1, 1a, 1b, 1c, 20, 20a, 20b, 30, 30a, 30b, 30c, 40, 40a, 40bでは、薄膜Si層5のチャンネル領域およびソース・ドレイン10の下に空洞4を設ける、あるいは空洞4を層間絶縁膜11で埋める構成とした。これにより、pn接合に起因する寄生容量を大幅に低減することができ、キャリア移動度が大きく、高速、高機能、低消費電力の半導体装置が実現される。特に第1～第3の実施の形態の半導体装置1, 1a, 1b, 1c, 20, 20a, 20b, 30, 30a, 30b, 30cでは、薄膜Si層5を湾曲させることにより、ゲート電極8の直下の薄膜Si層5に大きな歪みを発生させ、トランジスタの高速性能を大幅に向上させることができる。また、特に第4の実施の形態の半導体装置40, 40a, 40bでは、薄膜Si層5の下に空洞4を形成するために用いる開口部を、ゲート電極8から離れた位置に形成することが可能である。そのため、薄膜Si層5の下に空洞4を設ける場合に、空洞4を厚くしても層間絶縁膜11を空洞4の奥まで入れな

いようにすることができ、空洞を厚くして寄生容量を低減することができる。さらに、フォトリソグラフィ法を用いることなく、コンタクトホールを利用して空洞を形成することも可能であるため、製造工程の簡略化を図れる。

#### 【0148】

また、チャネルが形成される薄膜Si層5は、エピタキシャル成長により極めて薄く形成することができるので、トランジスタのショートチャネル効果の抑制、S値の増加、サブスレッシュホールド電流の抑制による低リーク化等が可能になる。さらに、このようにエピタキシャル成長で薄膜Si層5を形成することにより、SOI基板を用いることなくSOI構造のデバイスを形成することができるといった利点もある。

#### 【0149】

また、以上の実施形態は、PMOS、NMOSのいずれにも適用することができ、それぞれの性能をより引き出すことが可能になる。例えば、歪みSiGe構造はPMOSにしか効果が得られないが、NMOS側のSiGe層を除去し、空洞にしてSOI構造にしたり、曲げて機械的に歪ませることで、NMOSでも移動度向上の効果を得ることができるようになる。また、歪みSi構造はNMOSに効果的であってPMOSではほとんど大きな効果は望めないが、PMOS側に空洞を形成してSOI構造にしたり、機械的に曲げることで、PMOSでも大きな効果を得ることができるようになる。

#### 【0150】

なお、以上の説明におけるSiGe層14、薄膜Si層5、ゲート絶縁膜7、層間絶縁膜11等の膜厚やゲート電極8のゲート長は、形成する半導体装置の要求特性等に応じて適当に設定することができる。また、薄膜Si層5が湾曲しているか否かに関わらず、ソース・ドレイン10の形成前に、ソース・ドレイン10を形成すべき領域に更にSiをエピタキシャル成長し、その後にイオン注入と熱処理を行ってスタックト・ソース・ドレインを形成するようにしてもよい。

#### 【0151】

また、以上の説明では、Si基板2上にエピタキシャル成長させたSiGe層14の上に、さらに薄膜Si層5を成長させ、それをチャネルとして用いている。この薄膜Si層5の下に空洞4を設けたり湾曲させて歪ませたりしてトランジスタの高速化を図っている。一方、トランジスタの高速化を目的としては、従来用いられてきたSi基板上に、基板と異なる材料であるSiGeやGeをエピタキシャル成長し、それをチャネルとして用いたトランジスタの開発も行われている（特開平5-121450号公報、特開平8-186249号公報）。

#### 【0152】

これは、基板と異なる格子定数を持つ結晶を、基板と格子整合するように成長させることで、結晶に歪みが加わり、バンド構造が変化し、キャリアの移動度が向上する現象を利用したものである。しかし、異種材料を積層するヘテロエピタキシャル成長では、一般に膜厚の増加に伴い、結晶表面モフォロジーが劣化する。そのため、膜表面をチャネルとするトランジスタではキャリア移動度低減の原因となるので、高品質な結晶成長が非常に重要である。そのため、格子定数が異なる半導体層のエピタキシャル成長では、層間にGe比率を徐々に変化させるグレーデッド層を設けることによって転位の発生を抑制する方法も採られる。しかし、この方法ではエピタキシャル成長を複数回行わなければならない、工程が複雑である。また、Ge濃度の高い半導体層を形成した後にゲート酸化を行うため、転位の発生が起こるといった問題も生じていた。このように、格子定数が大きく異なる半導体層のエピタキシャル成長では、成長膜厚の増加とともに結晶表面モフォロジーが劣化し、転位などの結晶欠陥が発生する。結晶欠陥がチャネル領域に存在すると、電子あるいは正孔の高速移動が阻害され、トランジスタの高速性向上の障害となる。

#### 【0153】

以下では、本発明の第6の実施の形態として、結晶表面モフォロジーが良好な成長初期表面がチャネルになるようにして、結晶欠陥がキャリア移動度に与える影響を低減したトランジスタ構造とその製造方法について説明する。

## 【0154】

図52は第6の実施の形態の半導体装置の断面概略図である。

図52に示す第6の実施の形態の半導体装置50は、基板51上に、後述の第1の半導体層53を用いてドーム型に形成された第2の半導体層54を有し、ドーム型半導体が形成されている。このドーム型半導体の外壁側には、同じくドーム型に形成されたゲート絶縁膜55を介してゲート電極56が形成されている。ドーム型半導体の内壁側には、第3、第4の半導体層58、59が、第2の半導体層54側から第4の半導体層59、第3の半導体層58の順に積層されている。第4の半導体層59はキャップ層であり、これに積層された第3の半導体層58にはソース・ドレインが形成されてチャンネルが形成されるようになっている。ドーム型半導体の内部はBOX層61で埋められている。ゲート電極56の側壁にはサイドウォール62が形成され、層間絶縁膜63を貫通する配線64が、ゲート電極56、第4の半導体層59のソース・ドレインに接続されている。

## 【0155】

ここで、半導体装置50の基板51には、Si, SiGe, SiGeC, Ge等を用いることができ、第2、第4の半導体層54、59は、基板51と同じ材質とする。第3の半導体層58には、Si, SiGe, SiGeC, Ge等を用いることができる。また、ゲート絶縁膜55には、SiO<sub>2</sub>のほか、酸化窒化シリコン(SiON)、あるいはSiO<sub>2</sub>よりも誘電率の高いHfO<sub>2</sub>等の絶縁体材料を用いることができる。

## 【0156】

このような構成の半導体装置50の製造方法の一例を、図53から図63を参照して説明する。ただし、図53から図63では、図52に示した要素と同一の要素については同一の符号を付している。

## 【0157】

図53は第6の実施の形態の半導体装置の第1製造工程の断面概略図である。

第1製造工程では、基板51上にフォトリソグラフィ法によりSiO<sub>2</sub>等でマスク52を形成し、Si基板51を一部露出させる。基板51には、例えばSi(001)を用い、マスクは、例えばSiO<sub>2</sub>やSi<sub>3</sub>N<sub>4</sub>などをCVDにより堆積して形成する。

## 【0158】

図54は第6の実施の形態の半導体装置の第2製造工程の断面概略図である。

第2製造工程では、基板51と異なる材質の第1の半導体層53を、基板51が露出している部分に選択的に形成する。第1の半導体層53は、例えばSi<sub>0.8</sub>Ge<sub>0.2</sub>とすることができ、この場合、その膜厚は臨界膜厚である10nm以下となるようCVD法により選択的に成長する。このほか、第1の半導体層53には、基板51よりもGe濃度が高くなるようにしたSiGe, SiGeC, Ge等を用いることができる。

## 【0159】

図55は第6の実施の形態の半導体装置の第3製造工程の断面概略図である。

第3製造工程では、マスク52を選択的に除去する。例えばマスク52がSiO<sub>2</sub>である場合には、希HF溶液に浸すことでSiO<sub>2</sub>のみを選択的にエッチングする。

## 【0160】

図56は第6の実施の形態の半導体装置の第4製造工程の断面概略図である。

第4製造工程では、第2の半導体層54を堆積する。例えば、基板51がSiである場合には、第2の半導体層54は同じくSiとする。その際、第2の半導体層54は、次に述べる第5製造工程でのゲート絶縁膜55の形成後に残るSi膜厚が1nm~3nm程度となるよう形成する。

## 【0161】

図57は第6の実施の形態の半導体装置の第5製造工程の断面概略図である。

第5製造工程では、第2の半導体層54の表面にゲート絶縁膜55を形成する。例えば、第2の半導体層54がSiである場合には、表面を熱酸化してゲート絶縁膜55を形成する。その際、ゲート絶縁膜55の形成後に残る第2の半導体層の膜厚は、前述のように1nm~3nm程度になるようにする。

## 【0162】

図58は第6の実施の形態の半導体装置の第6製造工程の断面概略図である。

第6製造工程では、ゲート絶縁膜55上にゲート電極56を形成する。ゲート電極56は、例えば、ポリSiまたはポリSiGeを堆積した後に、これをフォトリソグラフィ法とエッチングにより加工して形成する。

## 【0163】

図59は第6の実施の形態の半導体装置の第7製造工程の断面概略図である。

第7製造工程では、フォトリソグラフィ法とエッチングにより、ゲート絶縁膜55と第2の半導体層54を貫通し、第1の半導体層53に達するホール57を形成する。

## 【0164】

図60は第6の実施の形態の半導体装置の第8製造工程の断面概略図である。

第8製造工程では、ホール57から第1の半導体層53を選択的にエッチングする。例えば、第1の半導体層53がSiGeである場合には、 $H_2O_2$ 、若しくは $H_2O_2$ と硫酸( $H_2SO_4$ )の混合溶液、若しくはHFと $H_2O_2$ の混合溶液により、SiGeのみを選択的にエッチングする。これにより、基板51上には、第2の半導体層54からなるドーム型半導体が形成されるようになる。

## 【0165】

図61は第6の実施の形態の半導体装置の第9製造工程の断面概略図である。

第9製造工程では、CVD法により、キャップ層となる第4の半導体層59、およびソース・ドレインとチャネルが形成される第3の半導体層58を、第2の半導体層54側から順にドーム型半導体の内壁側に選択的に形成する。第4の半導体層59は、第2の半導体層54の表面に残るカーボンなどの第3の半導体層58への汚染を低減するものであり、膜厚1nm以下の薄膜とする。第4の半導体層59には、例えば、基板51がSiである場合にはSiを用いる。第3の半導体層58には、Si、SiGe、SiGeC、Geのいずれかを用い、不純物を混入させてn型またはp型としてもよい。

## 【0166】

第3、第4の半導体層58、59の形成後、ゲート電極56両脇直下の領域の第2、第3、第4の半導体層54、58、59にイオン注入を行い、ソース・ドレインを形成する。第3の半導体層58は、ゲート電極56側に結晶表面モフォロジーが良好な成長初期表面が形成されており、この成長初期表面がチャネルとして機能するようになる。

## 【0167】

図62は第6の実施の形態の半導体装置の第10製造工程の断面概略図である。

第10製造工程では、CVD法により絶縁膜60を、ドーム型半導体の内部を埋め尽くしてBOX層61を形成するとともに、全面を覆うように堆積する。絶縁膜60およびBOX層61には、例えば、 $SiO_2$ あるいは $SiO_2$ よりも誘電率の低い絶縁体材料を用いることができる。

## 【0168】

図63は第6の実施の形態の半導体装置の第11製造工程の断面概略図である。

第11製造工程では、全面を異方性エッチングすることにより、ゲート電極56の側壁にサイドウォール62を形成する。このサイドウォール62の形成後に、ゲート電極56両脇直下の第2、第3、第4の半導体層54、58、59にイオン注入を行ってもよい。

## 【0169】

最後に、全面を層間絶縁膜63で覆い、フォトリソグラフィ法によりゲート電極56およびソース・ドレインに達するコンタクトホールを開口した後に、配線64を形成し、図52に示した半導体装置50を得る。層間絶縁膜63には、 $SiO_2$ やlow-k材料を用いることができる。また、配線64を形成する前にCoやNi等の金属と第4の半導体層59あるいは第3の半導体層58とを反応させたシリサイド層を形成しておいてもよい。配線64には、Al、Cuを用いることができる。また、第6製造工程でゲート電極56を形成せず、本工程でAlなどの金属ゲートを埋め込むようにすることもできる。

## 【0170】

半導体装置 50 では、ドーム型半導体の内壁側にゲート電極 56 の側からチャネル領域となる第 3 の半導体層 58 を成長させるようにすることで、結晶欠陥が少ないヘテロエピタキシャル成長初期表面をチャネルとすることができトランジスタの高速化を実現できる。また、第 3 の半導体層 58 と基板 51 との間に BOX 層 61 を形成することにより、寄生容量を低減し、基板方向への漏れ電流を減少して低消費電力化が図れる。

【0171】

以上述べたように、本発明によれば、トランジスタの高速性能を大幅に向上させ、半導体装置の高速化、低消費電力化を実現することができるとともに、半導体装置の高機能化を図れる。

【産業上の利用可能性】

【0172】

本発明におけるチャネルが形成される半導体層を湾曲させた構造は、液晶表示装置分野における薄膜トランジスタ (Thin Film Transistor, TFT) のチャネルが形成されるポリ Si 層あるいは Si 層に適用して、キャリア移動度を向上させるといった用途にも適用可能である。

【0173】

(付記 1) 半導体層上にゲート絶縁膜を介して形成されたゲート電極と、前記半導体層に形成されたソース・ドレインと、を有する半導体装置において、

前記半導体層は、前記ソース・ドレインに挟まれた前記ゲート電極直下の領域から前記ソース・ドレイン側の領域に向かって湾曲していることを特徴とする半導体装置。

【0174】

(付記 2) 前記半導体層は、湾曲していることによって前記ゲート電極直下の領域に歪みが発生していることを特徴とする付記 1 記載の半導体装置。

(付記 3) 前記半導体層に形成された前記ソース・ドレインの下および前記ソース・ドレインに挟まれた前記ゲート電極直下の領域の下が空洞になっていることを特徴とする付記 1 記載の半導体装置。

【0175】

(付記 4) 前記半導体層に形成された前記ソース・ドレインの下および前記ソース・ドレインに挟まれた前記ゲート電極直下の領域の下に絶縁膜が形成されていることを特徴とする付記 1 記載の半導体装置。

【0176】

(付記 5) 前記ソース・ドレインは、前記半導体層上に他の半導体層を形成して厚膜化した後に不純物が導入されたスタックト・ソース・ドレイン構造になっていることを特徴とする付記 1 記載の半導体装置。

【0177】

(付記 6) 半導体層上にゲート絶縁膜を介して形成されたゲート電極と、半導体層に形成されたソース・ドレインと、を有する半導体装置の製造方法において、

基板上に犠牲層と半導体層との積層領域と前記積層領域を囲む素子分離領域とを形成する工程と、

前記素子分離領域上および前記半導体層上にゲート絶縁膜を介してゲート電極を形成する工程と、

前記素子分離領域と前記半導体層との間に前記犠牲層が露出する開口部を形成する工程と、

前記開口部から前記犠牲層を除去して前記半導体層下に空洞を形成する工程と、  
を有することを特徴とする半導体装置の製造方法。

【0178】

(付記 7) 前記開口部から前記犠牲層を除去して前記半導体層下に前記空洞を形成する工程の後に、前記半導体層を湾曲させる工程を有することを特徴とする付記 6 記載の半導体装置の製造方法。

【0179】

(付記 8) 前記素子分離領域と前記半導体層との間に前記犠牲層が露出する前記開口部を形成する工程においては、前記素子分離領域を前記基板側へと除去していき、前記犠牲層の側面を一部露出させることによって前記開口部を形成することを特徴とする付記 6 記載の半導体装置の製造方法。

【0180】

(付記 9) 前記基板上に前記犠牲層と前記半導体層との前記積層領域と前記積層領域を囲む前記素子分離領域を形成する工程においては、前記基板上に前記犠牲層と前記半導体層とを積層して前記積層領域を形成した後、前記積層領域を囲んで前記基板に達する前記素子分離領域を形成することを特徴とする付記 6 記載の半導体装置の製造方法。

【0181】

(付記 10) 前記基板上に前記犠牲層と前記半導体層との前記積層領域と前記積層領域を囲む前記素子分離領域を形成する工程においては、前記基板に前記基板表面から突出する前記素子分離領域を形成した後、前記素子分離領域で囲まれた領域の前記基板上に前記犠牲層と前記半導体層とを積層して前記積層領域を形成することを特徴とする付記 6 記載の半導体装置の製造方法。

【0182】

(付記 11) 前記半導体層を湾曲させる工程においては、液中に浸漬して引き上げる際に前記半導体層と前記基板との間に働く表面張力によって前記半導体層を湾曲させることを特徴とする付記 7 記載の半導体装置の製造方法。

【0183】

(付記 12) 前記素子分離領域上および前記半導体層上に前記ゲート絶縁膜を介して前記ゲート電極を形成する工程の後に、熱伸する膜を全面に形成する工程を有し、

前記熱伸する膜を全面に形成した後、前記素子分離領域と前記半導体層との間に前記犠牲層が露出する前記開口部を形成し、前記開口部から前記犠牲層を除去して前記半導体層下に前記空洞を形成し、

前記半導体層を湾曲させる工程において、熱処理を行って前記熱伸する膜を熱伸させて前記半導体層を湾曲させることを特徴とする付記 7 記載の半導体装置の製造方法。

【0184】

(付記 13) 前記素子分離領域上および前記半導体層上に前記ゲート絶縁膜を介して前記ゲート電極を形成する工程の後に、前記半導体層にイオン注入を行う工程を有し、

前記半導体層にイオン注入を行った後、前記素子分離領域と前記半導体層との間に前記犠牲層が露出する前記開口部を形成し、前記開口部から前記犠牲層を除去して前記半導体層下に前記空洞を形成し、

前記半導体層を湾曲させる工程において、熱処理を行って前記半導体層を湾曲させることを特徴とする付記 7 記載の半導体装置の製造方法。

【0185】

(付記 14) 前記犠牲層は、SOI 基板の BOX 層であり、前記半導体層は、前記 SOI 基板最上層に形成される薄膜半導体層であることを特徴とする付記 6 記載の半導体装置の製造方法。

【0186】

(付記 15) 前記開口部から前記犠牲層を除去して前記半導体層下に前記空洞を形成する工程の前または後に、前記半導体層に前記ゲート電極直下の領域を挟むソース・ドレインを形成する工程を有し、前記半導体層に前記ゲート電極直下の領域を挟む前記ソース・ドレインを形成する工程に続いて、前記ソース・ドレインの全部または一部をサリサイド化する工程を有することを特徴とする付記 6 記載の半導体装置の製造方法。

【0187】

(付記 16) 前記開口部から前記犠牲層を除去して前記半導体層下に前記空洞を形成する工程の前または後に、前記半導体層上に他の半導体層を形成する工程と、前記半導体層および前記他の半導体層に前記ゲート電極直下の領域を挟むソース・ドレインを形成する工程と、を有することを特徴とする付記 6 記載の半導体装置の製造方法。

**【0188】**

(付記17) 半導体層上にゲート絶縁膜を介して形成されたゲート電極と、半導体層に形成されたソース・ドレインと、を有する半導体装置の製造方法において、

基板上に犠牲層と半導体層との積層領域と前記積層領域を囲む素子分離領域とを形成する工程と、

前記素子分離領域上および前記半導体層上にゲート絶縁膜を介してゲート電極を形成する工程と、

前記半導体層に前記ゲート電極直下の領域を挟むソース・ドレインを形成する工程と、全面に層間絶縁膜を形成する工程と、

前記層間絶縁膜を貫通するコンタクトホールを形成する工程と、

前記コンタクトホールから前記犠牲層を除去して前記半導体層下に空洞を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

**【0189】**

(付記18) 前記層間絶縁膜を貫通する前記コンタクトホールを形成する工程においては、前記層間絶縁膜を貫通して前記犠牲層に達する前記コンタクトホールを形成し、

前記コンタクトホールから前記犠牲層を除去して前記半導体層下に前記空洞を形成する工程の後に、前記コンタクトホール直下の領域に不純物拡散層を形成する工程を有することを特徴とする付記17記載の半導体装置の製造方法。

**【0190】**

(付記19) 前記半導体層に前記ゲート電極直下の領域を挟む前記ソース・ドレインを形成する工程の後に、前記ソース・ドレインの全部をシリサイド化する工程を有し、

前記ソース・ドレインの全部をシリサイド化する工程の後に、全面に前記層間絶縁膜を形成し、

前記層間絶縁膜を貫通する前記コンタクトホールを形成する工程においては、前記層間絶縁膜を貫通してシリサイド化された前記ソース・ドレインに達する前記コンタクトホールを形成し、

前記コンタクトホールから前記犠牲層を除去して前記半導体層下に前記空洞を形成する工程においては、シリサイド化された前記ソース・ドレインを介して前記コンタクトホールから前記犠牲層を除去して前記半導体層下に前記空洞を形成することを特徴とする付記17記載の半導体装置の製造方法。

**【0191】**

(付記20) 前記コンタクトホールから前記犠牲層を除去して前記半導体層下に前記空洞を形成する工程の後に、前記基板の表面をウェットエッチングする工程を有することを特徴とする付記17記載の半導体装置の製造方法。

**【0192】**

(付記21) 半導体層上にゲート絶縁膜を介して形成されたゲート電極と、半導体層に形成されたソース・ドレインと、を有する半導体装置において、

基板上に半導体をドーム型に形成してなるドーム型半導体を有し、前記ドーム型半導体の外壁側に形成されたゲート絶縁膜およびゲート電極と、前記ドーム型半導体の内壁側に形成されて前記ゲート電極直下の領域を挟んでソース・ドレインが形成された半導体層と、を有することを特徴とする半導体装置。

**【0193】**

(付記22) 半導体層上にゲート絶縁膜を介して形成されたゲート電極と、半導体層に形成されたソース・ドレインと、を有する半導体装置の製造方法において、

基板表面に部分的に第1の半導体層を形成する工程と、

全面に第2の半導体層を形成する工程と、

前記第1の半導体層直上の前記第2の半導体層上にゲート絶縁膜およびゲート電極を形成する工程と、

前記第2の半導体層に前記第1の半導体層に達する開口部を形成して前記第1の半導体

層を選択的に除去し前記第2の半導体層からなるドーム型半導体を形成する工程と、

前記ドーム型半導体の内壁側にソース・ドレインが形成される第3の半導体層を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【0194】

(付記23) 前記ドーム型半導体の内壁側に前記ソース・ドレインが形成される前記第3の半導体層を形成する工程においては、前記ドーム型半導体の内壁側にキャップ層である第4の半導体層を形成した後、前記第4の半導体層上に前記第3の半導体層を形成することを特徴とする付記22記載の半導体装置の製造方法。

【0195】

(付記24) 前記ドーム型半導体の内壁側に前記ソース・ドレインが形成される前記第3の半導体層を形成する工程の後に、

前記ドーム型半導体内部を埋めるとともに前記ドーム型半導体外部を覆う絶縁膜を形成する工程と、

前記絶縁膜をエッチングして前記基板と前記第3の半導体層との間を埋めるBOX層および前記ゲート電極のサイドウォールを形成する工程と、

を有することを特徴とする付記22記載の半導体装置の製造方法。

【0196】

(付記25) ドーム型半導体構造を有する半導体装置の製造方法において、

基板表面に部分的に第1の半導体層を形成する工程と、

全面に第2の半導体層を形成する工程と、

前記第2の半導体層に前記第1の半導体層に達する開口部を形成して前記第1の半導体層を選択的に除去することにより前記第2の半導体層からなるドーム型半導体を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【図面の簡単な説明】

【0197】

【図1】第1の実施の形態の半導体装置の第1の構成例であって、(A)は平面から見た要部平面概略図、(B)は(A)のX-X'断面概略図、(C)は(A)のY-Y'断面概略図である。

【図2】第1の実施の形態の第1の構成例の半導体装置の第1製造工程図であって、(A)は平面から見た要部平面概略図、(B)は(A)のX-X'断面概略図、(C)は(A)のY-Y'断面概略図である。

【図3】第1の実施の形態の第1の構成例の半導体装置の第2製造工程図であって、(A)は平面から見た要部平面概略図、(B)は(A)のX-X'断面概略図、(C)は(A)のY-Y'断面概略図である。

【図4】第1の実施の形態の第1の構成例の半導体装置の第3製造工程図であって、(A)は平面から見た要部平面概略図、(B)は(A)のX-X'断面概略図、(C)は(A)のY-Y'断面概略図である。

【図5】第1の実施の形態の第1の構成例の半導体装置の第4製造工程図であって、(A)は平面から見た要部平面概略図、(B)は(A)のX-X'断面概略図、(C)は(A)のY-Y'断面概略図である。

【図6】第1の実施の形態の第1の構成例の半導体装置の第5製造工程図であって、(A)は平面から見た要部平面概略図、(B)は(A)のX-X'断面概略図、(C)は(A)のY-Y'断面概略図である。

【図7】第1の実施の形態の第1の構成例の半導体装置の第6製造工程図であって、(A)は平面から見た要部平面概略図、(B)は(A)のX-X'断面概略図、(C)は(A)のY-Y'断面概略図である。

【図8】第1の実施の形態の第1の構成例の半導体装置の第7製造工程図であって、(A)は平面から見た要部平面概略図、(B)は(A)のX-X'断面概略図、(C)

) は (A) の Y-Y' 断面概略図である。

【図 9】熱伸する膜を用いて薄膜 Si 層を湾曲させる工程の第 1 の説明図であって、(A) は平面から見た要部平面概略図、(B) は (A) の X-X' 断面概略図、(C) は (A) の Y-Y' 断面概略図である。

【図 10】熱伸する膜を用いて薄膜 Si 層を湾曲させる工程の第 2 の説明図であって、(A) は平面から見た要部平面概略図、(B) は (A) の X-X' 断面概略図、(C) は (A) の Y-Y' 断面概略図である。

【図 11】イオン注入を用いて薄膜 Si 層を湾曲させる工程の第 1 の説明図であって、(A) は平面から見た要部平面概略図、(B) は (A) の X-X' 断面概略図、(C) は (A) の Y-Y' 断面概略図である。

【図 12】イオン注入を用いて薄膜 Si 層を湾曲させる工程の第 2 の説明図であって、(A) は平面から見た要部平面概略図、(B) は (A) の X-X' 断面概略図、(C) は (A) の Y-Y' 断面概略図である。

【図 13】第 1 の実施の形態の第 1 の構成例の半導体装置の第 8 製造工程図であって、(A) は平面から見た要部平面概略図、(B) は (A) の X-X' 断面概略図、(C) は (A) の Y-Y' 断面概略図である。

【図 14】第 1 の実施の形態の第 1 の構成例の半導体装置の第 9 製造工程図であって、(A) は平面から見た要部平面概略図、(B) は (A) の X-X' 断面概略図、(C) は (A) の Y-Y' 断面概略図である。

【図 15】第 1 の実施の形態の第 1 の構成例の半導体装置の第 10 製造工程図であって、(A) は平面から見た要部平面概略図、(B) は (A) の X-X' 断面概略図、(C) は (A) の Y-Y' 断面概略図である。

【図 16】第 1 の実施の形態の半導体装置の第 2 の構成例であって、(A) は平面から見た要部平面概略図、(B) は (A) の X-X' 断面概略図、(C) は (A) の Y-Y' 断面概略図である。

【図 17】第 1 の実施の形態の半導体装置の第 3 の構成例であって、(A) は平面から見た要部平面概略図、(B) は (A) の X-X' 断面概略図、(C) は (A) の Y-Y' 断面概略図である。

【図 18】第 1 の実施の形態の半導体装置の第 4 の構成例であって、(A) は平面から見た要部平面概略図、(B) は (A) の X-X' 断面概略図、(C) は (A) の Y-Y' 断面概略図である。

【図 19】第 2 の実施の形態の半導体装置の第 1 の構成例であって、(A) は平面から見た要部平面概略図、(B) は (A) の X-X' 断面概略図、(C) は (A) の Y-Y' 断面概略図である。

【図 20】第 2 の実施の形態の半導体装置の第 2 の構成例であって、(A) は平面から見た要部平面概略図、(B) は (A) の X-X' 断面概略図、(C) は (A) の Y-Y' 断面概略図である。

【図 21】第 2 の実施の形態の半導体装置の第 3 の構成例であって、(A) は平面から見た要部平面概略図、(B) は (A) の X-X' 断面概略図、(C) は (A) の Y-Y' 断面概略図である。

【図 22】第 3 の実施の形態の半導体装置の第 1 の構成例であって、(A) は平面から見た要部平面概略図、(B) は (A) の X-X' 断面概略図、(C) は (A) の Y-Y' 断面概略図である。

【図 23】第 3 の実施の形態の半導体装置の第 2 の構成例であって、(A) は平面から見た要部平面概略図、(B) は (A) の X-X' 断面概略図、(C) は (A) の Y-Y' 断面概略図である。

【図 24】第 3 の実施の形態の半導体装置の第 3 の構成例であって、(A) は平面から見た要部平面概略図、(B) は (A) の X-X' 断面概略図、(C) は (A) の Y-Y' 断面概略図である。

【図 25】第 3 の実施の形態の半導体装置の第 4 の構成例であって、(A) は平面か

ら見た要部平面概略図、(B)は(A)のX-X'断面概略図、(C)は(A)のY-Y'断面概略図である。

【図26】第4の実施の形態の半導体装置の第1の構成例であって、(A)は平面から見た要部平面概略図、(B)は(A)のX-X'断面概略図、(C)は(A)のY-Y'断面概略図である。

【図27】第4の実施の形態の第1の構成例に示した半導体装置の製造工程図であって、(A)は平面から見た要部平面概略図、(B)は(A)のX-X'断面概略図、(C)は(A)のY-Y'断面概略図である。

【図28】第4の実施の形態の半導体装置の第2の構成例であって、(A)は平面から見た要部平面概略図、(B)は(A)のX-X'断面概略図、(C)は(A)のY-Y'断面概略図である。

【図29】第4の実施の形態の第3の構成例の半導体装置の製造工程図(その1)であって、(A)は平面から見た要部平面概略図、(B)は(A)のX-X'断面概略図、(C)は(A)のY-Y'断面概略図である。

【図30】第4の実施の形態の第3の構成例の半導体装置の製造工程図(その2)であって、(A)は平面から見た要部平面概略図、(B)は(A)のX-X'断面概略図、(C)は(A)のY-Y'断面概略図である。

【図31】第4の実施の形態の第3の構成例の半導体装置の製造工程図(その3)であって、(A)は平面から見た要部平面概略図、(B)は(A)のX-X'断面概略図、(C)は(A)のY-Y'断面概略図である。

【図32】第4の実施の形態の第3の構成例の半導体装置の製造工程図(その4)であって、(A)は平面から見た要部平面概略図、(B)は(A)のX-X'断面概略図、(C)は(A)のY-Y'断面概略図である。

【図33】レジストパターンの第1の例を示した平面図である。

【図34】第1の例のレジストパターンで形成される開口部を示した平面図である。

【図35】レジストパターンの第2の例を示した平面図である。

【図36】第2の例のレジストパターンで形成される開口部を示した平面図である。

【図37】犠牲層除去方法の第1の例の第1工程図である。

【図38】犠牲層除去方法の第1の例の第2工程図である。

【図39】犠牲層除去方法の第1の例の第3工程図である。

【図40】犠牲層除去方法の第1の例の第4工程図である。

【図41】犠牲層除去方法の第2の例の第1工程図である。

【図42】犠牲層除去方法の第2の例の第2工程図である。

【図43】犠牲層除去方法の第2の例の第3工程図である。

【図44】犠牲層除去方法の第2の例の第4工程図である。

【図45】犠牲層除去方法の第3の例の第1工程図である。

【図46】犠牲層除去方法の第3の例の第2工程図である。

【図47】犠牲層除去方法の第3の例の第3工程図である。

【図48】第5の実施の形態の半導体装置の製造工程図(その1)であって、(A)は平面から見た要部平面概略図、(B)は(A)のX-X'断面概略図、(C)は(A)のY-Y'断面概略図である。

【図49】第5の実施の形態の半導体装置の製造工程図(その2)であって、(A)は平面から見た要部平面概略図、(B)は(A)のX-X'断面概略図、(C)は(A)のY-Y'断面概略図である。

【図50】素子分離領域の形成方法の説明図(その1)であって、(A)は平面から見た要部平面概略図、(B)は(A)のX-X'断面概略図、(C)は(A)のY-Y'断面概略図である。

【図51】素子分離領域の形成方法の説明図(その2)であって、(A)は平面から見た要部平面概略図、(B)は(A)のX-X'断面概略図、(C)は(A)のY-Y'断面概略図である。

- 【図 5 2】 第 6 の実施の形態の半導体装置の断面概略図である。  
【図 5 3】 第 6 の実施の形態の半導体装置の第 1 製造工程の断面概略図である。  
【図 5 4】 第 6 の実施の形態の半導体装置の第 2 製造工程の断面概略図である。  
【図 5 5】 第 6 の実施の形態の半導体装置の第 3 製造工程の断面概略図である。  
【図 5 6】 第 6 の実施の形態の半導体装置の第 4 製造工程の断面概略図である。  
【図 5 7】 第 6 の実施の形態の半導体装置の第 5 製造工程の断面概略図である。  
【図 5 8】 第 6 の実施の形態の半導体装置の第 6 製造工程の断面概略図である。  
【図 5 9】 第 6 の実施の形態の半導体装置の第 7 製造工程の断面概略図である。  
【図 6 0】 第 6 の実施の形態の半導体装置の第 8 製造工程の断面概略図である。  
【図 6 1】 第 6 の実施の形態の半導体装置の第 9 製造工程の断面概略図である。  
【図 6 2】 第 6 の実施の形態の半導体装置の第 10 製造工程の断面概略図である。  
【図 6 3】 第 6 の実施の形態の半導体装置の第 11 製造工程の断面概略図である。  
【図 6 4】 従来の半導体装置の基本構造の断面概略図である。  
【図 6 5】 従来の第 1 の例の半導体装置の断面概略図である。  
【図 6 6】 従来の第 2 の例の半導体装置の断面概略図である。  
【図 6 7】 従来の第 3 の例の半導体装置の断面概略図である。

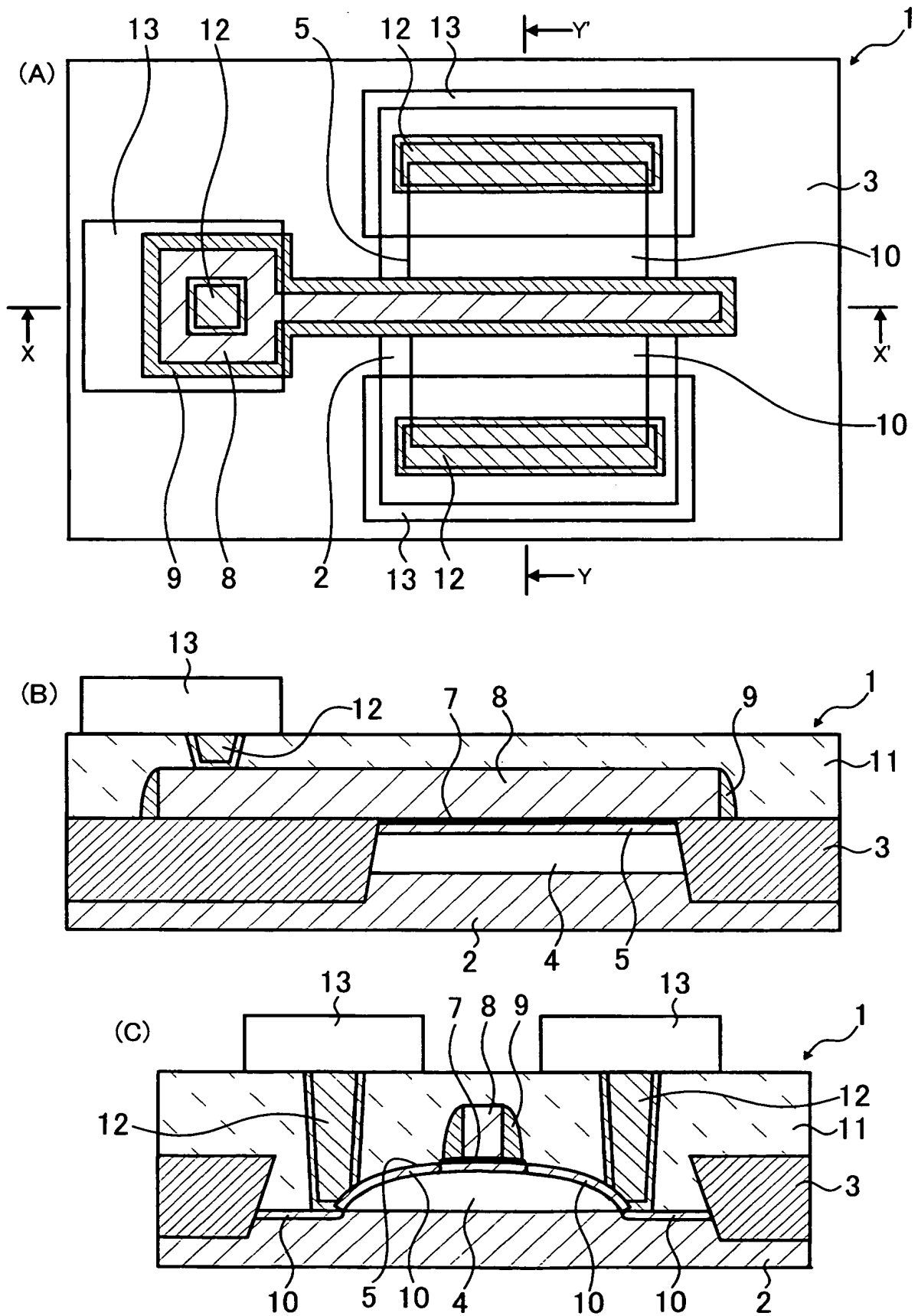
【符号の説明】

【0198】

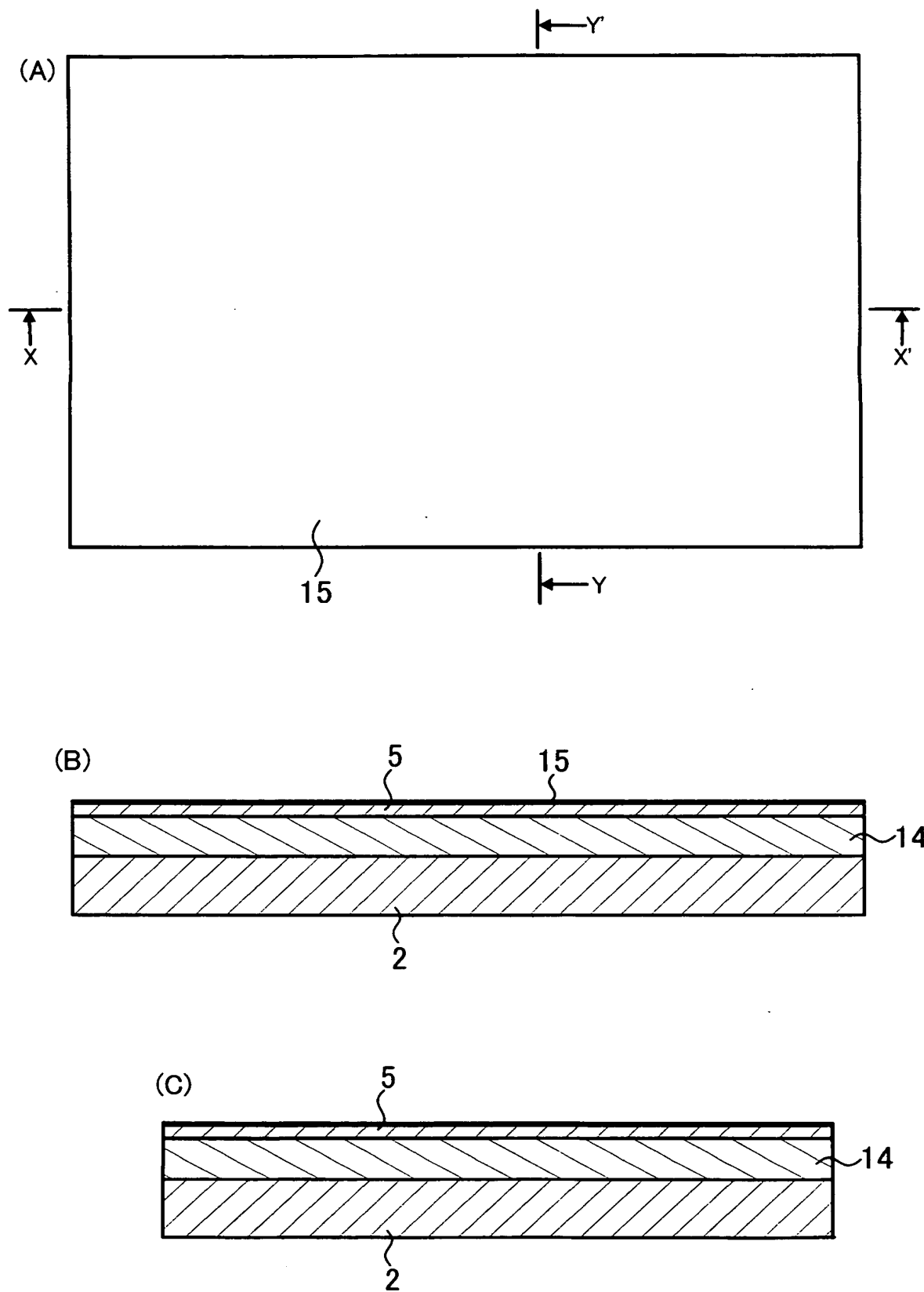
- 1, 1 a, 1 b, 1 c, 2 0, 2 0 a, 2 0 b, 3 0, 3 0 a, 3 0 b, 3 0 c, 4 0  
, 4 0 a, 4 0 b, 5 0 半導体装置  
2 Si 基板  
2 b SOI 基板  
2 b a, 5 1 基板  
2 b b, 6 1 BOX 層  
2 b c Si 層  
3 素子分離領域  
4 空洞  
5 薄膜 Si 層  
6, 1 5, 6 0 絶縁膜  
7, 5 5 ゲート絶縁膜  
8, 5 6 ゲート電極  
9, 6 2 サイドウォール  
1 0, 4 1 ソース・ドレイン  
1 1, 6 3 層間絶縁膜  
1 2 プラグ  
1 3 配線層  
1 4 SiGe 層  
1 6, 1 6 a, 1 6 b レジストパターン  
1 7, 1 7 a, 1 7 b 開口部  
1 8 SiN 膜  
1 9 シリサイド層  
4 2, 4 2 a, 4 2 b コンタクトホール  
4 3 不純物拡散層  
4 4, 4 4 a, 4 4 b プラグ  
4 5 シリサイド層  
5 2 マスク  
5 3 第 1 の半導体層  
5 4 第 2 の半導体層  
5 7 ホール  
5 8 第 3 の半導体層

5 9 第 4 の半導体層  
6 4 配線

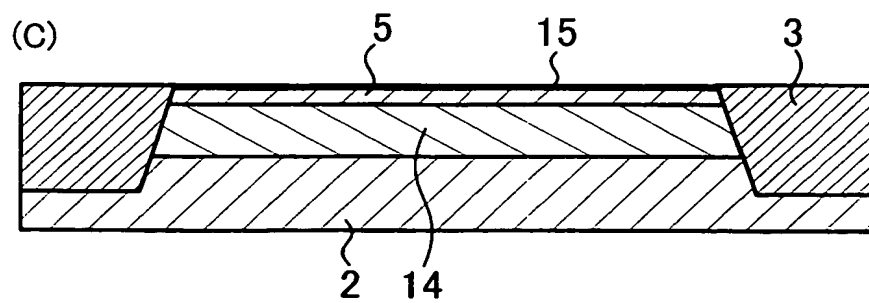
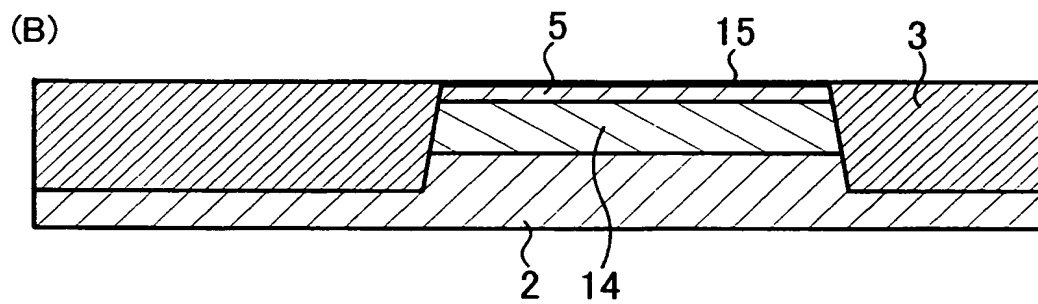
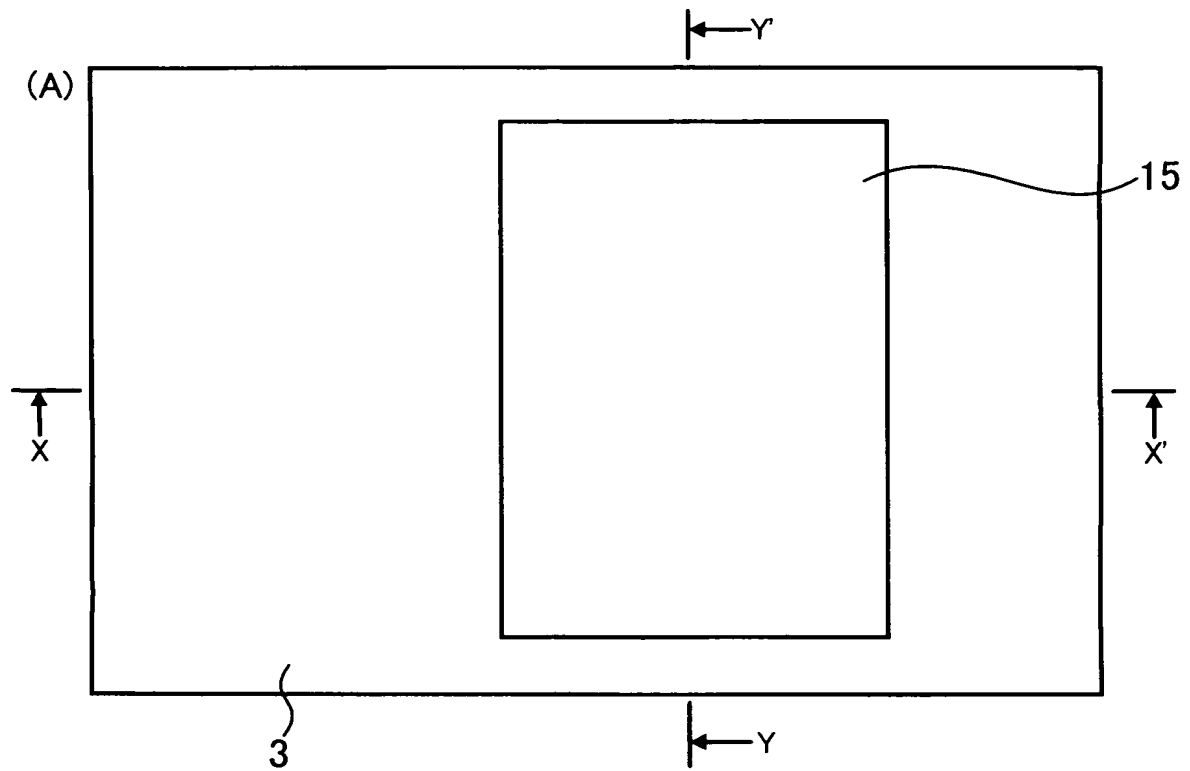
【書類名】 図面  
【図 1】



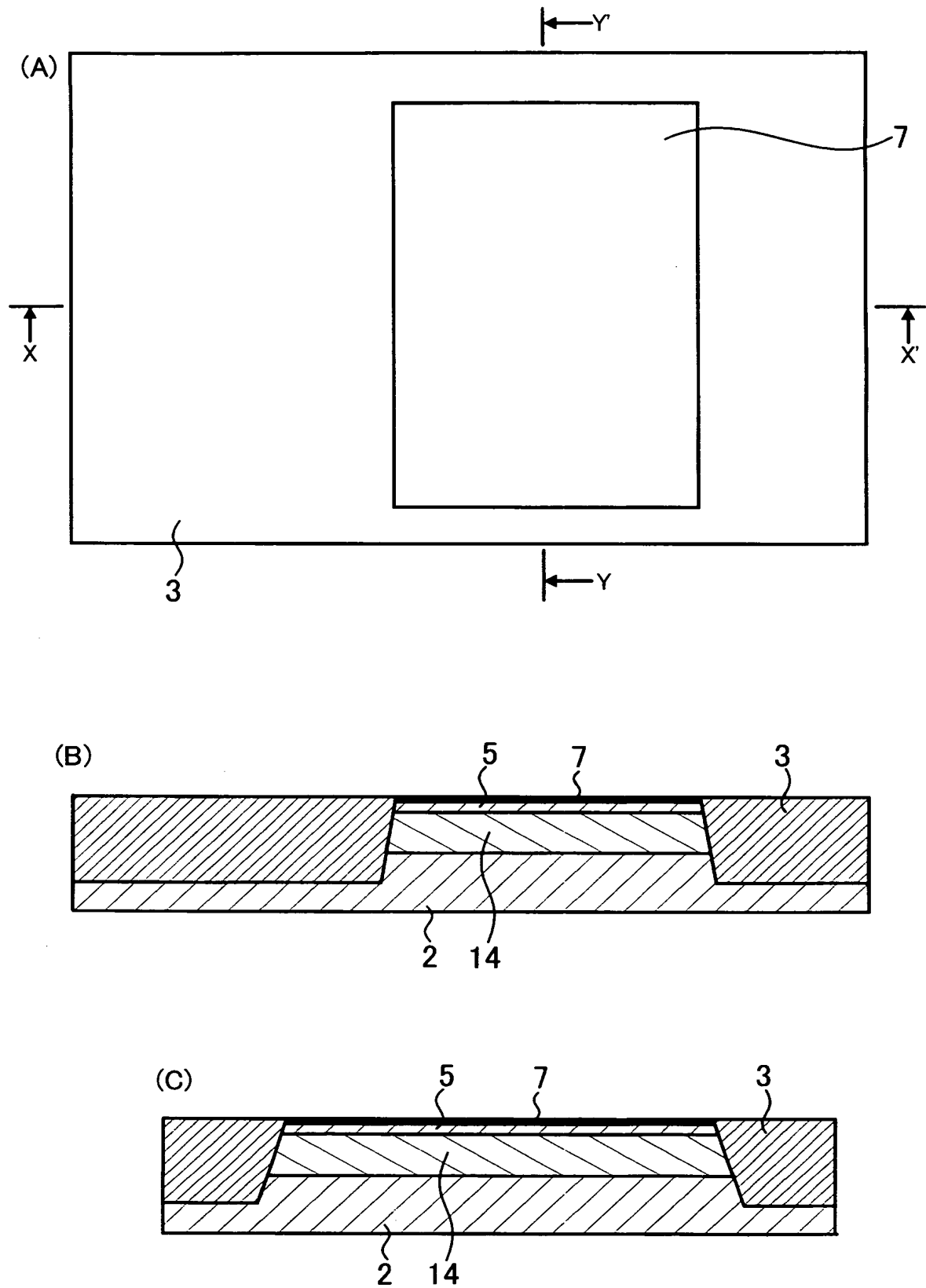
【図 2】



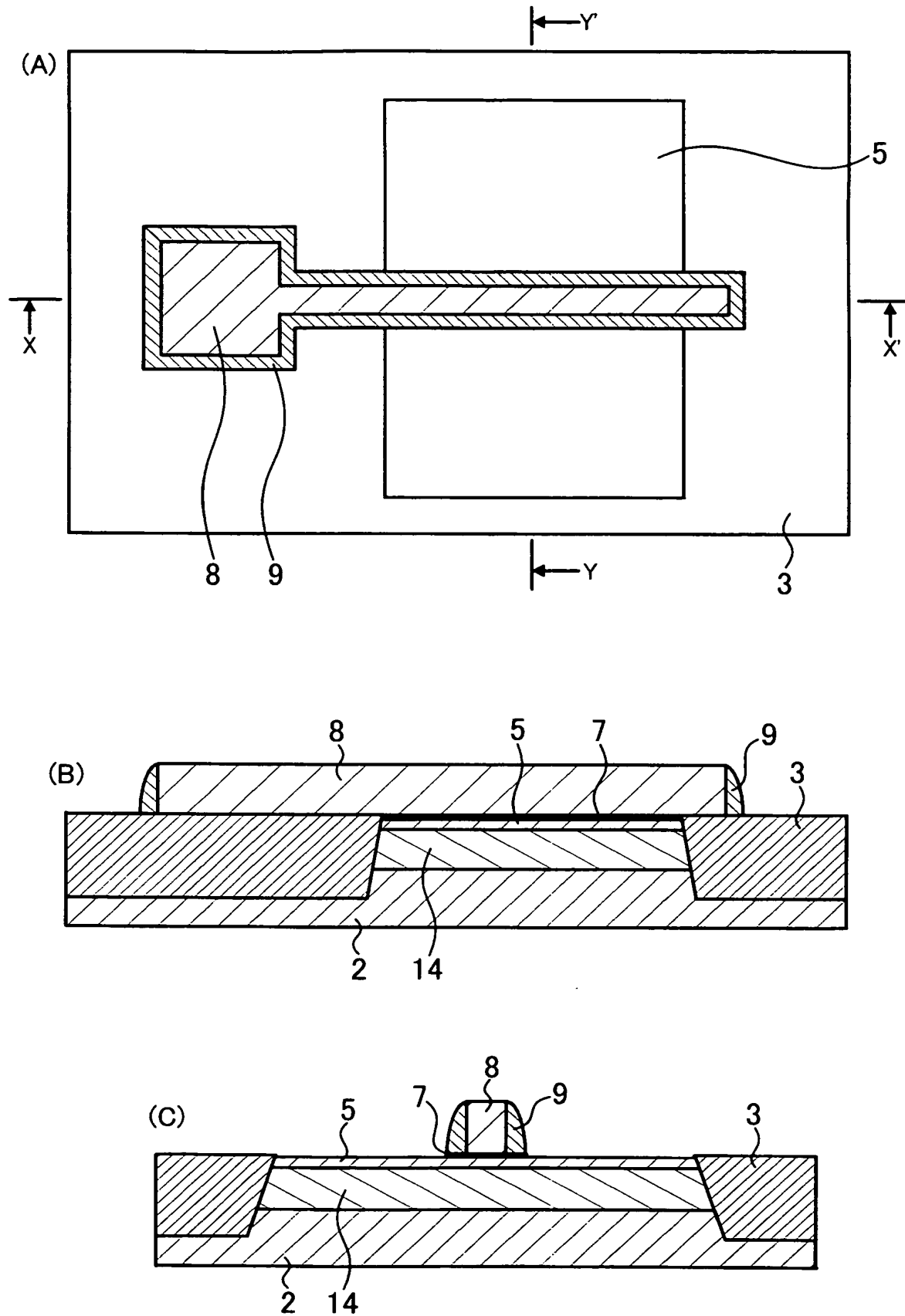
【図 3】



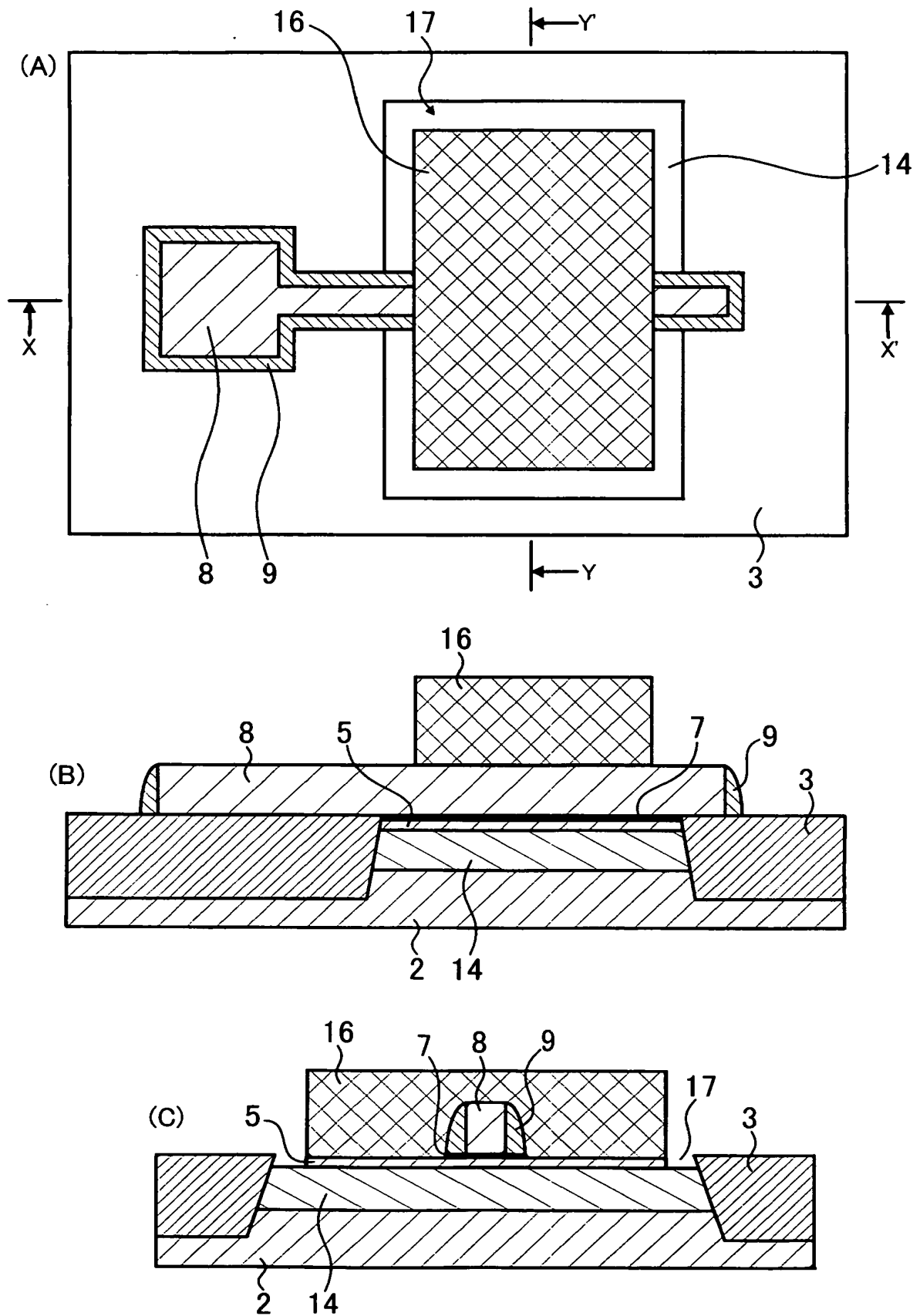
【図 4】



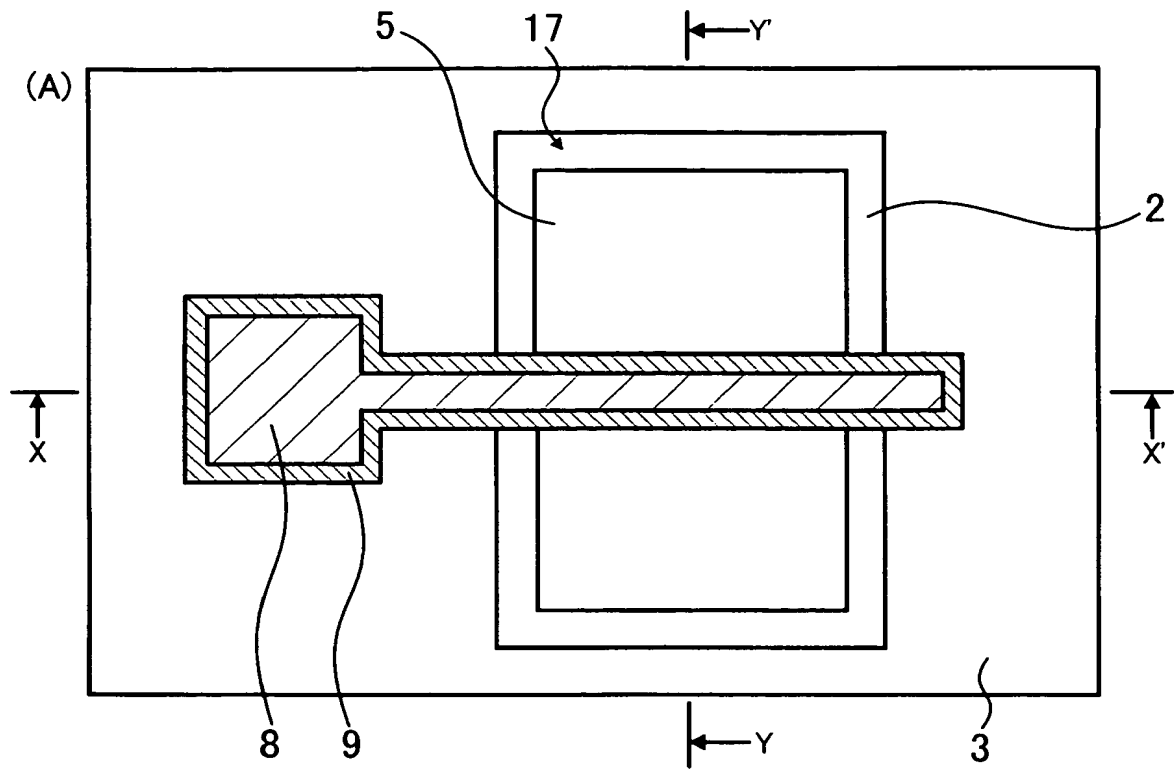
【図 5】



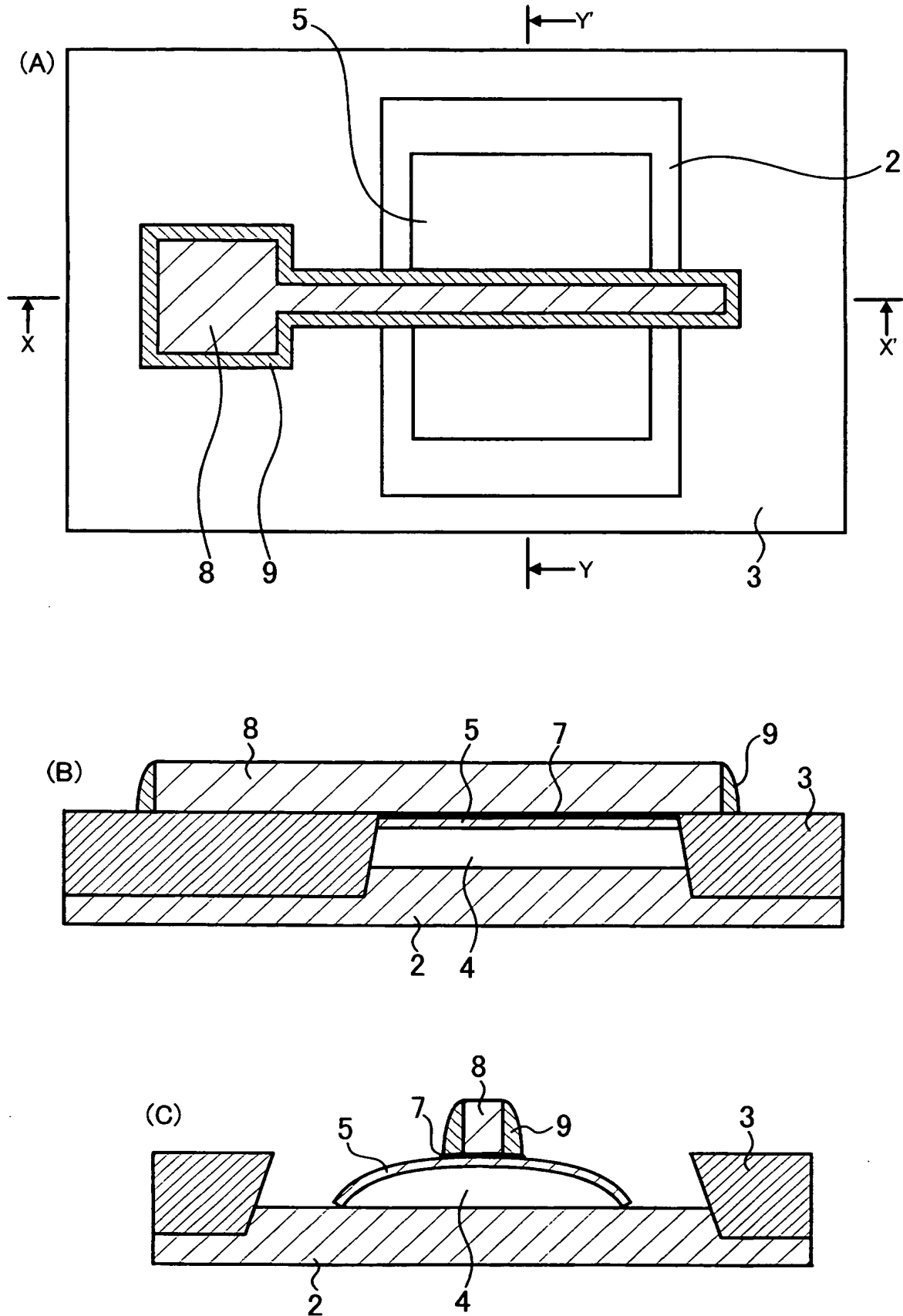
【図 6】



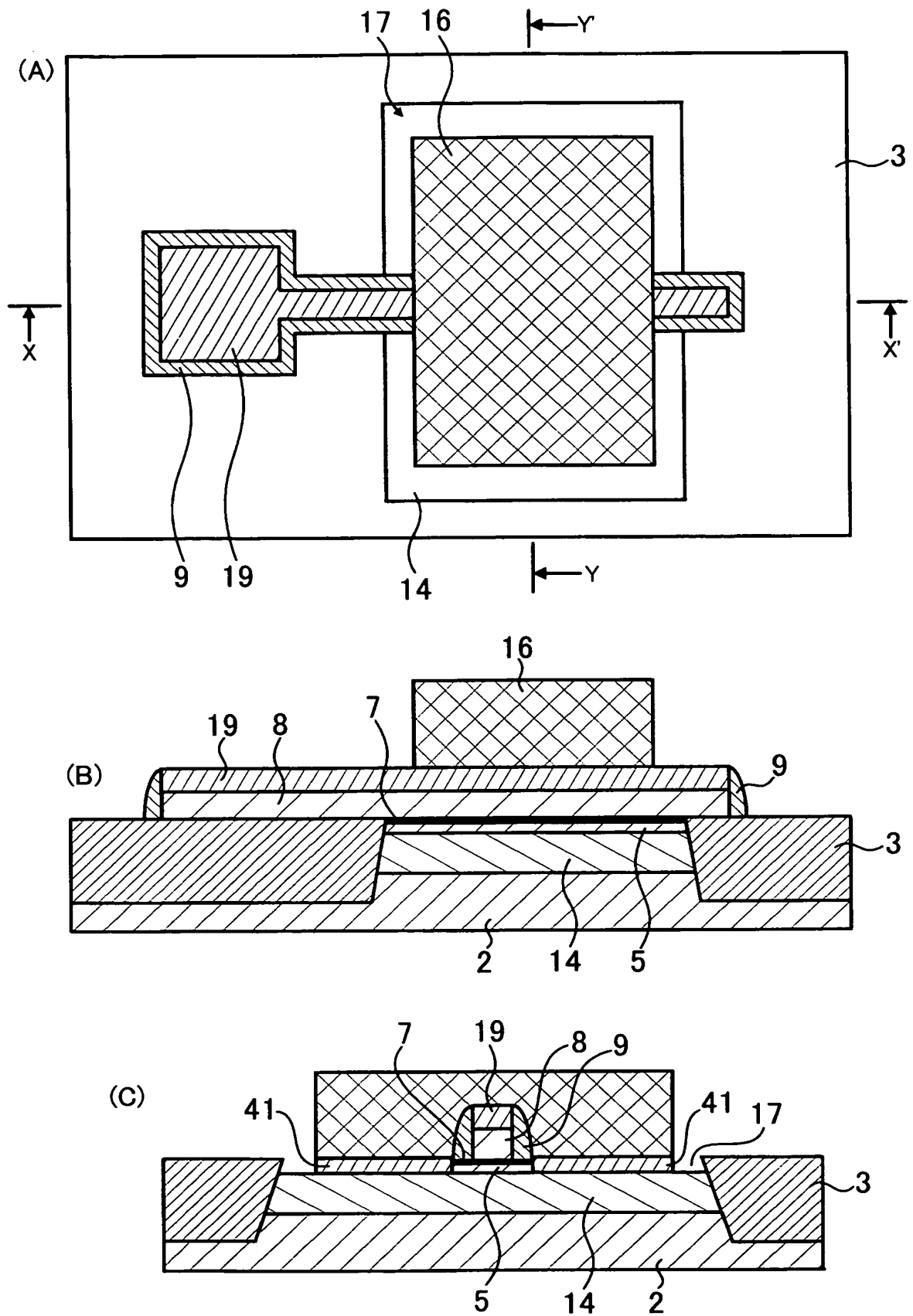
【圖 7】



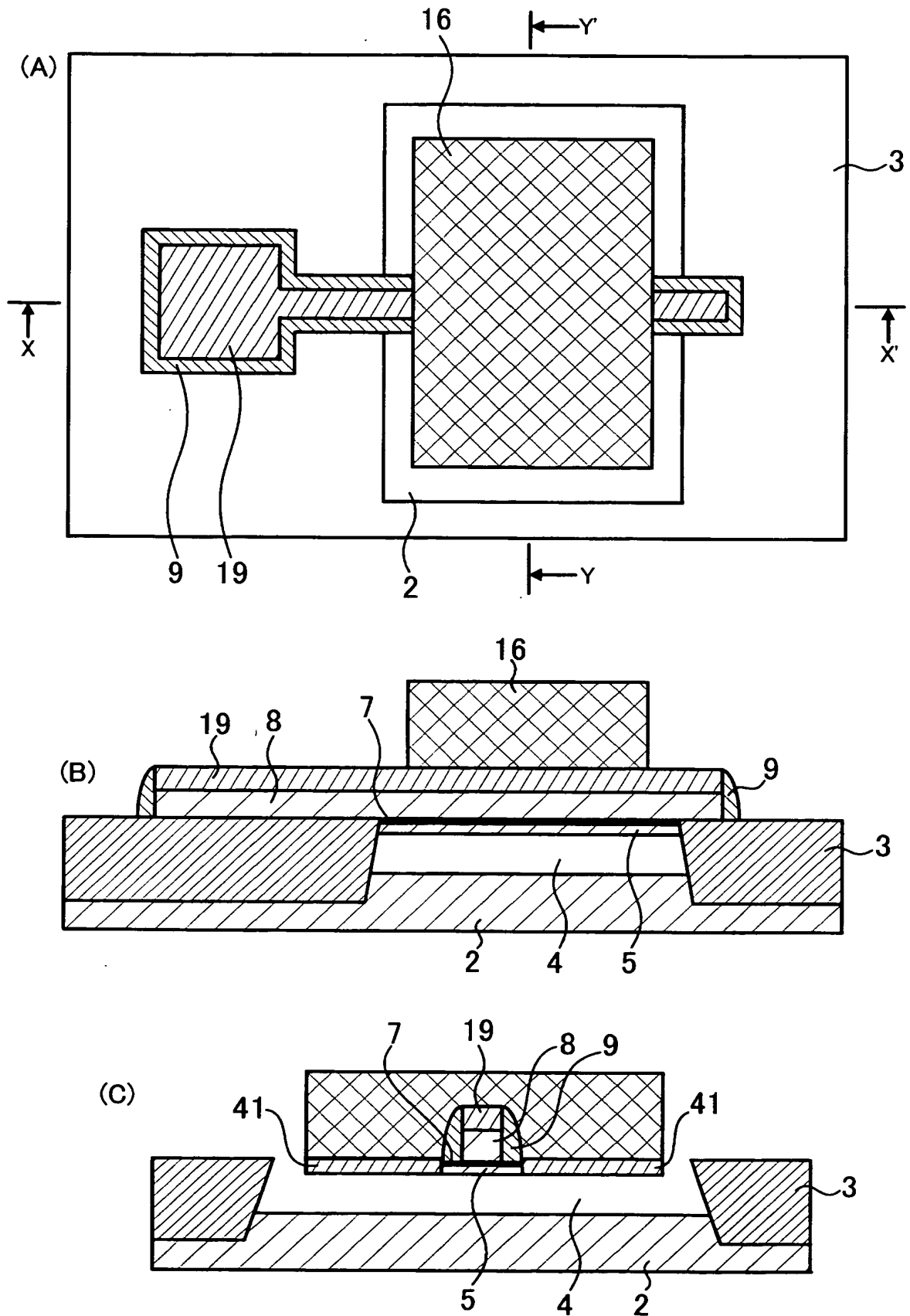
【図 8】



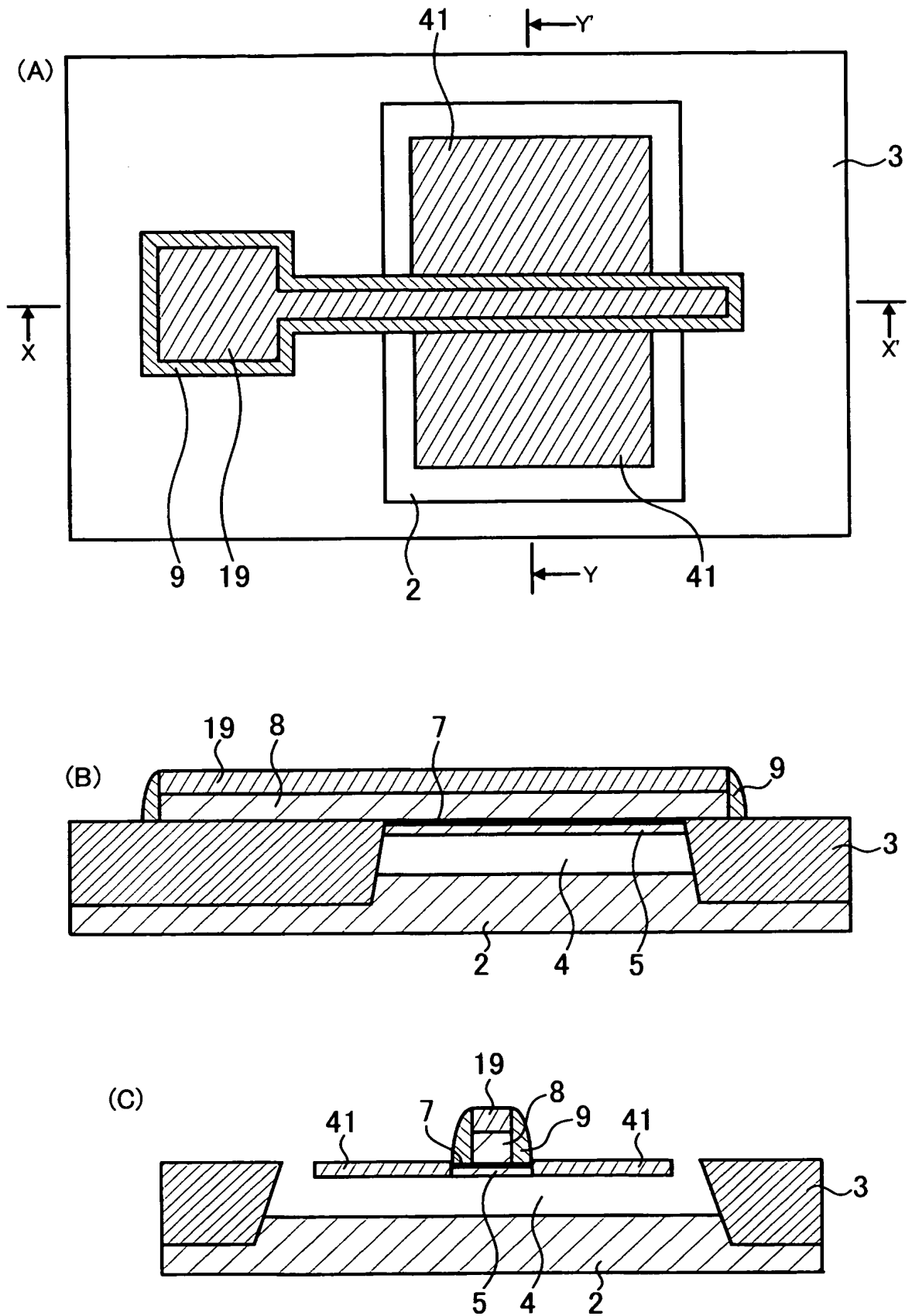
【図 30】



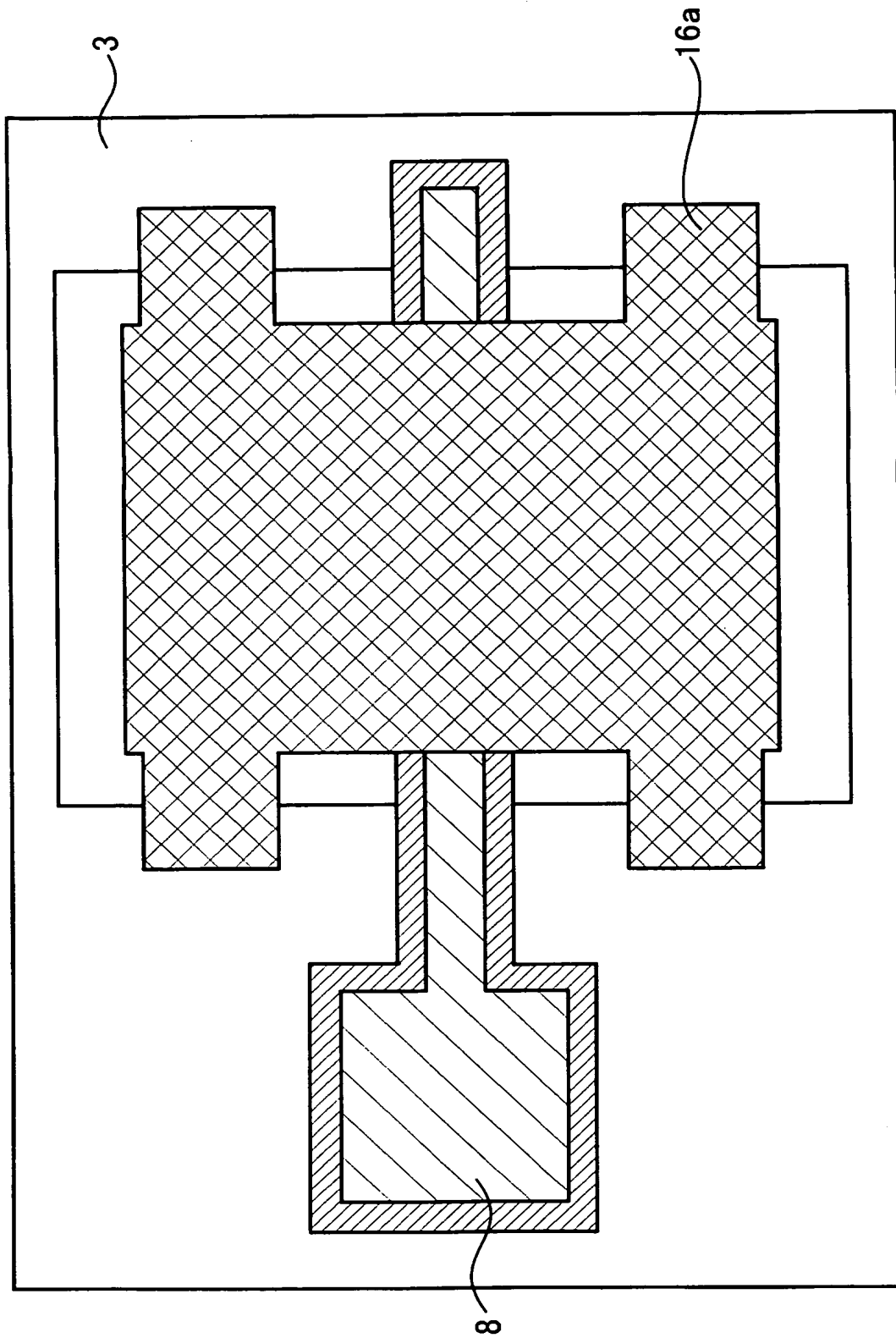
【図 31】



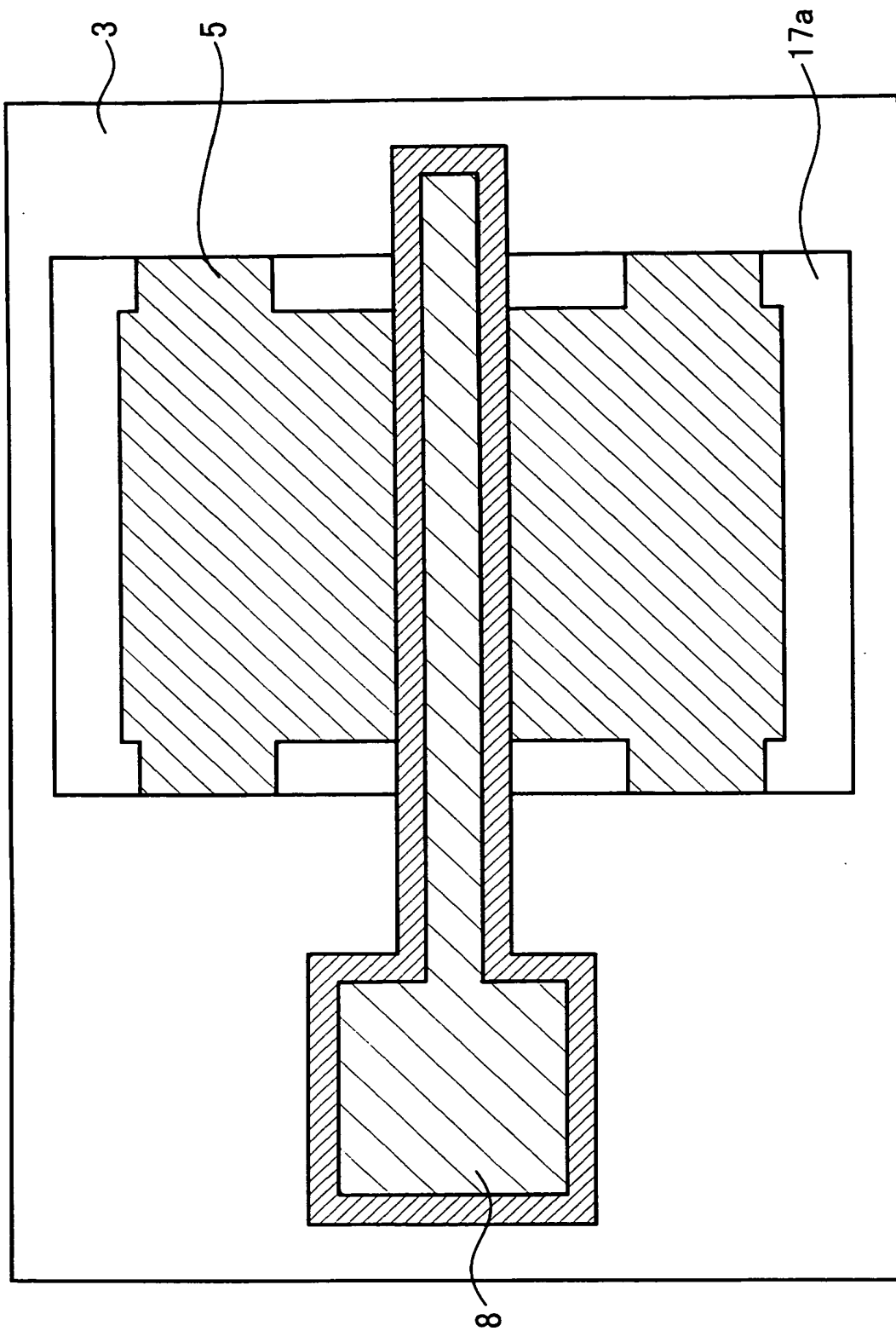
【図 3 2】



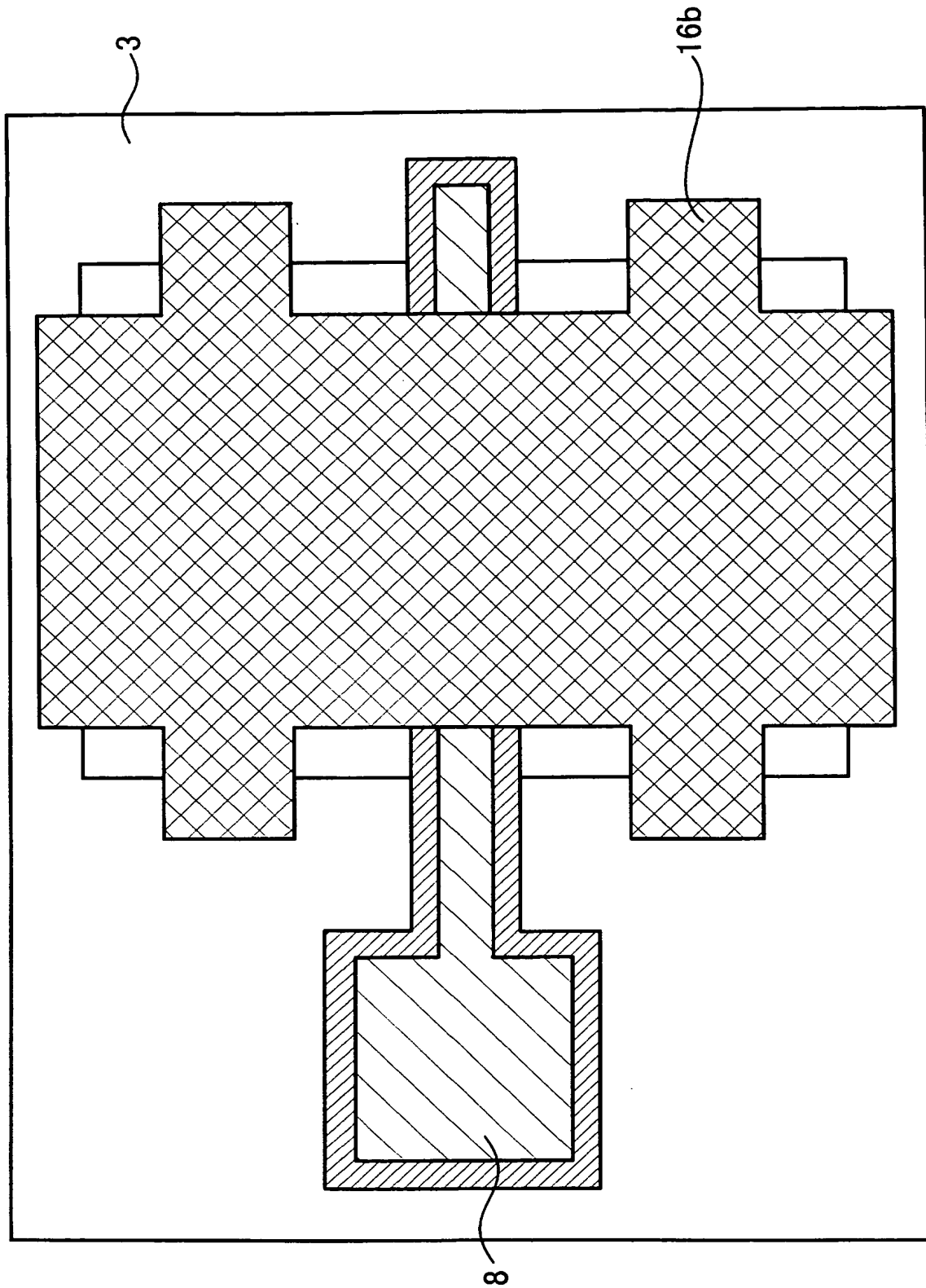
【図 33】



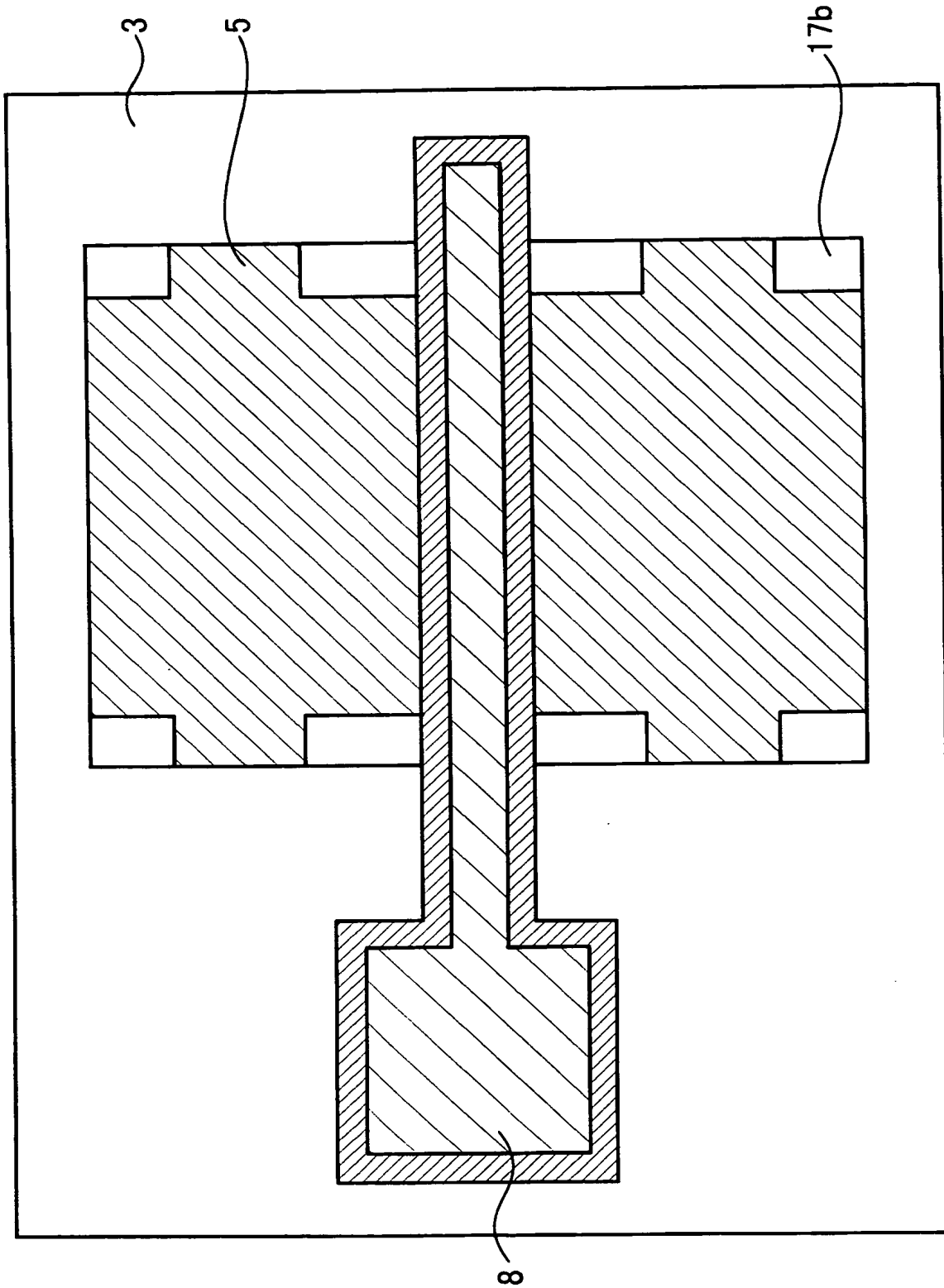
【図 34】



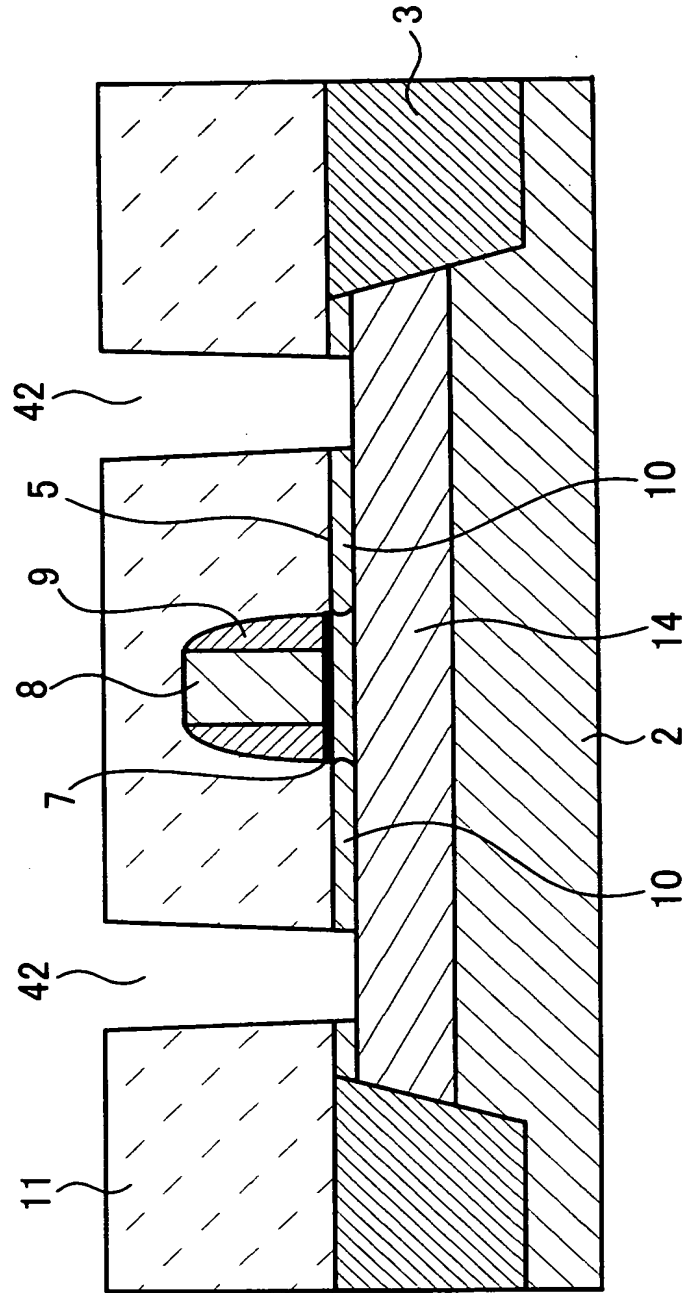
【図 35】



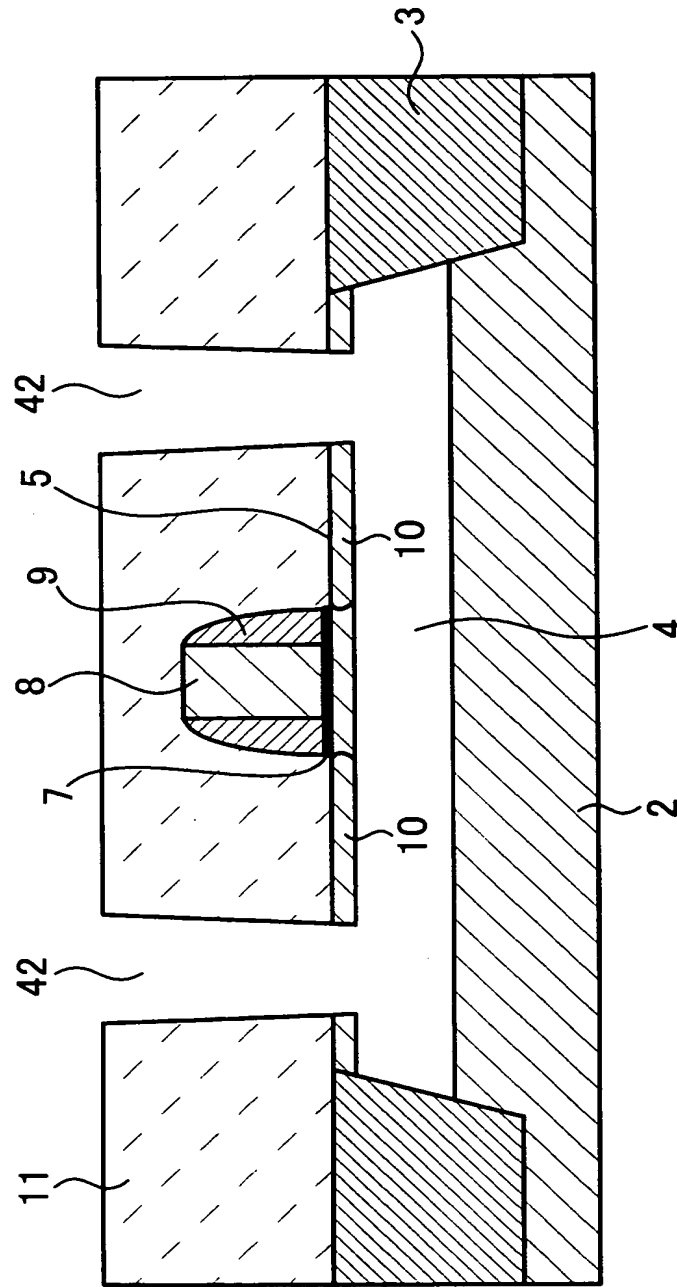
【図 36】



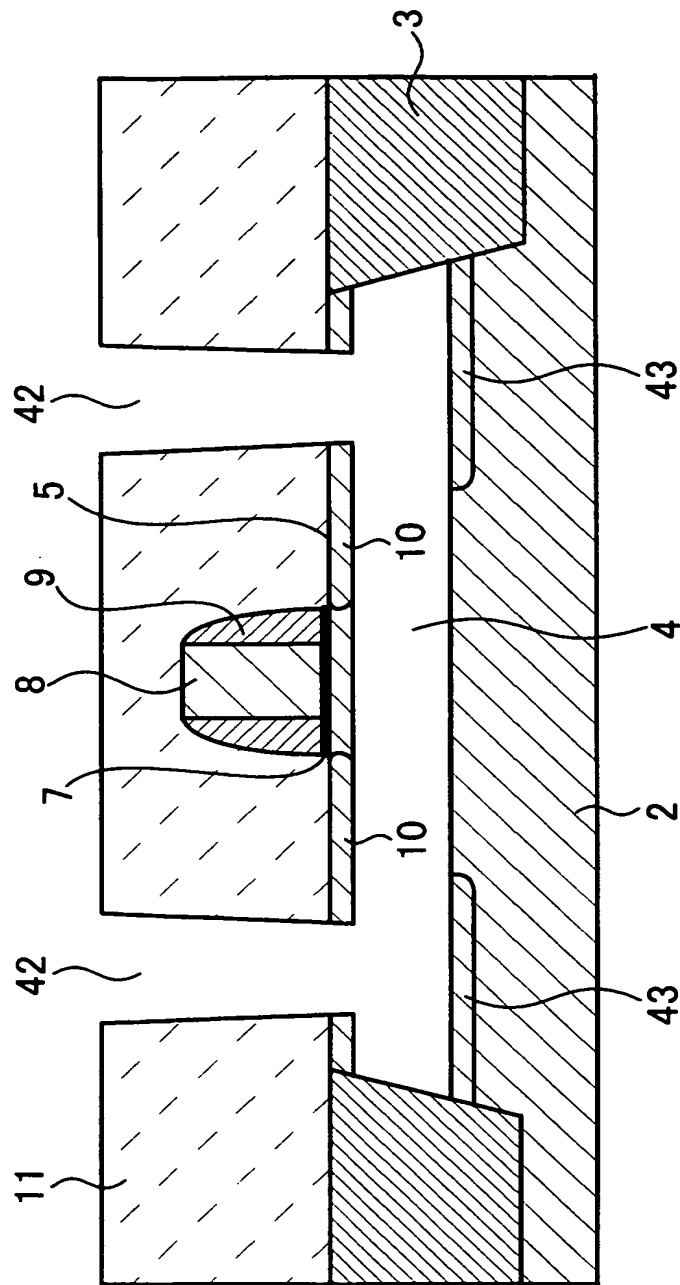
【図 37】



【図 38】

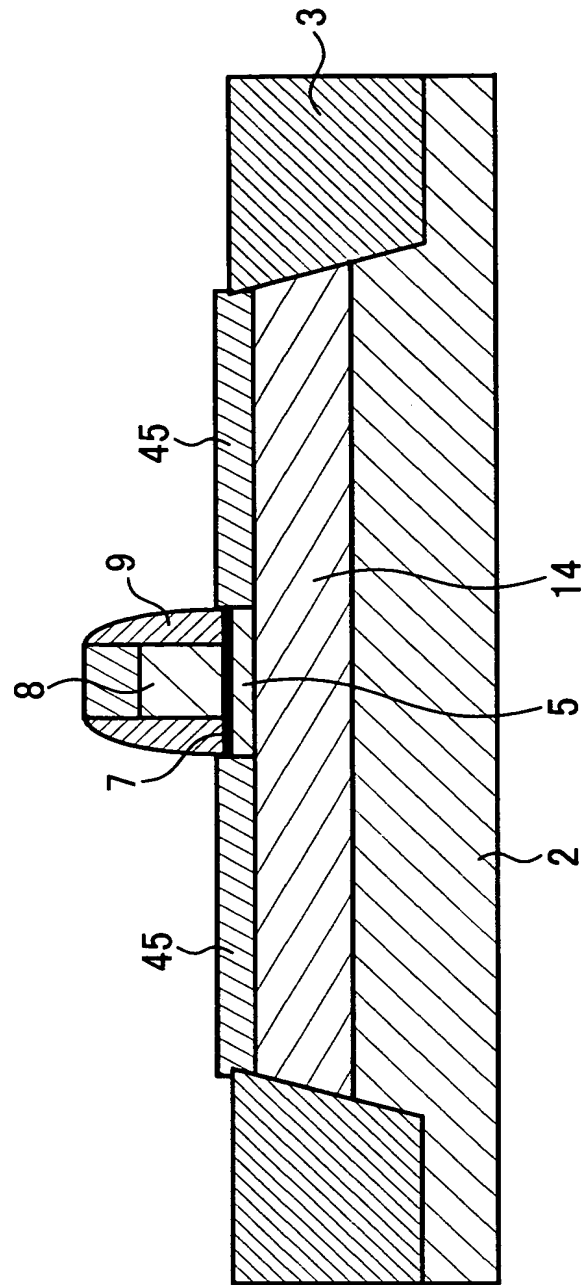


【図 39】

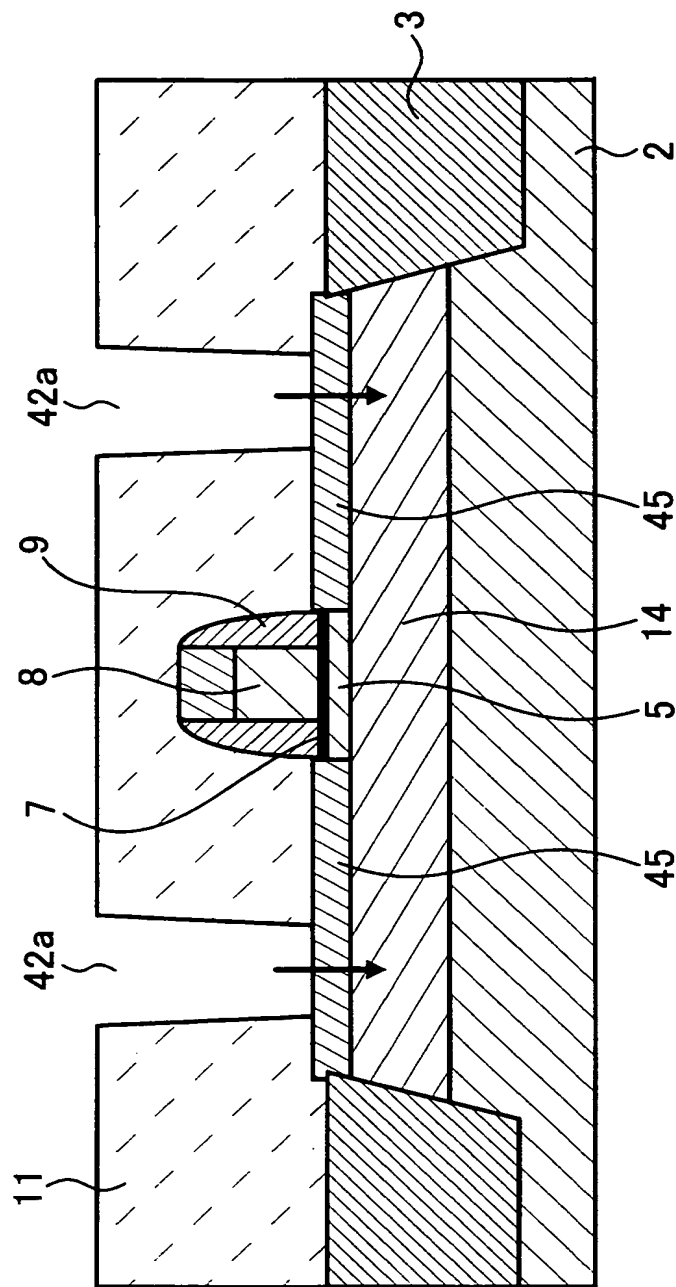




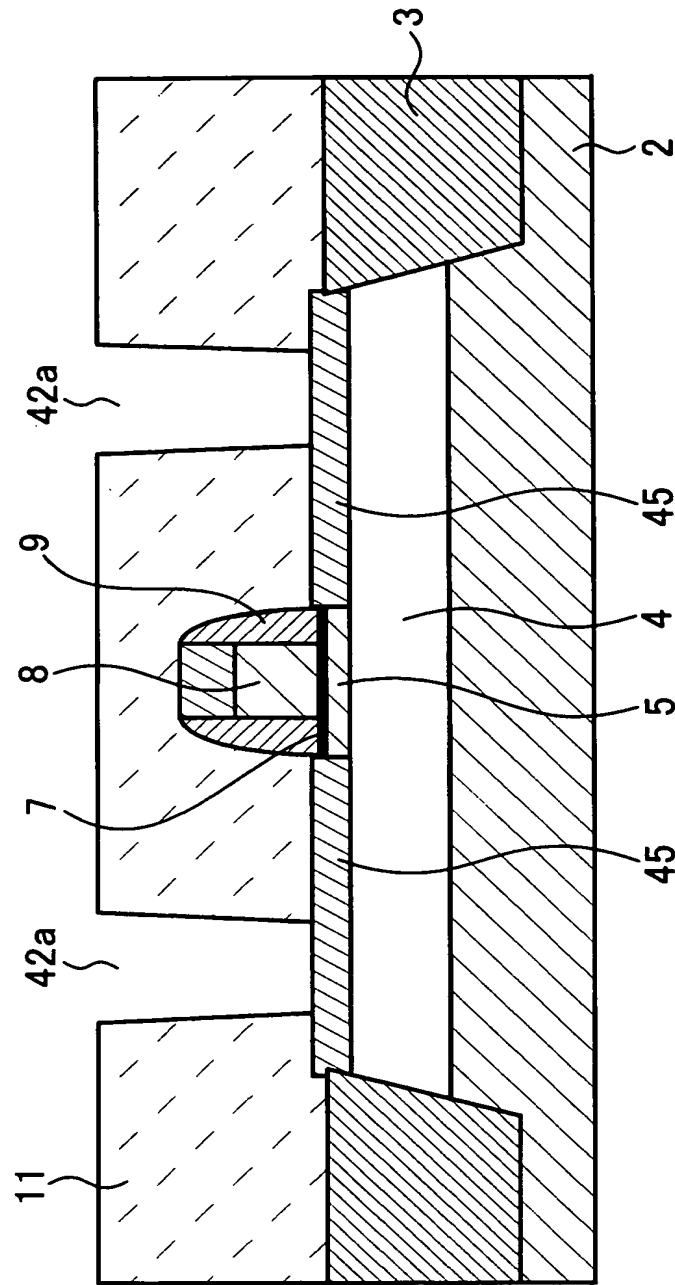
【図 41】



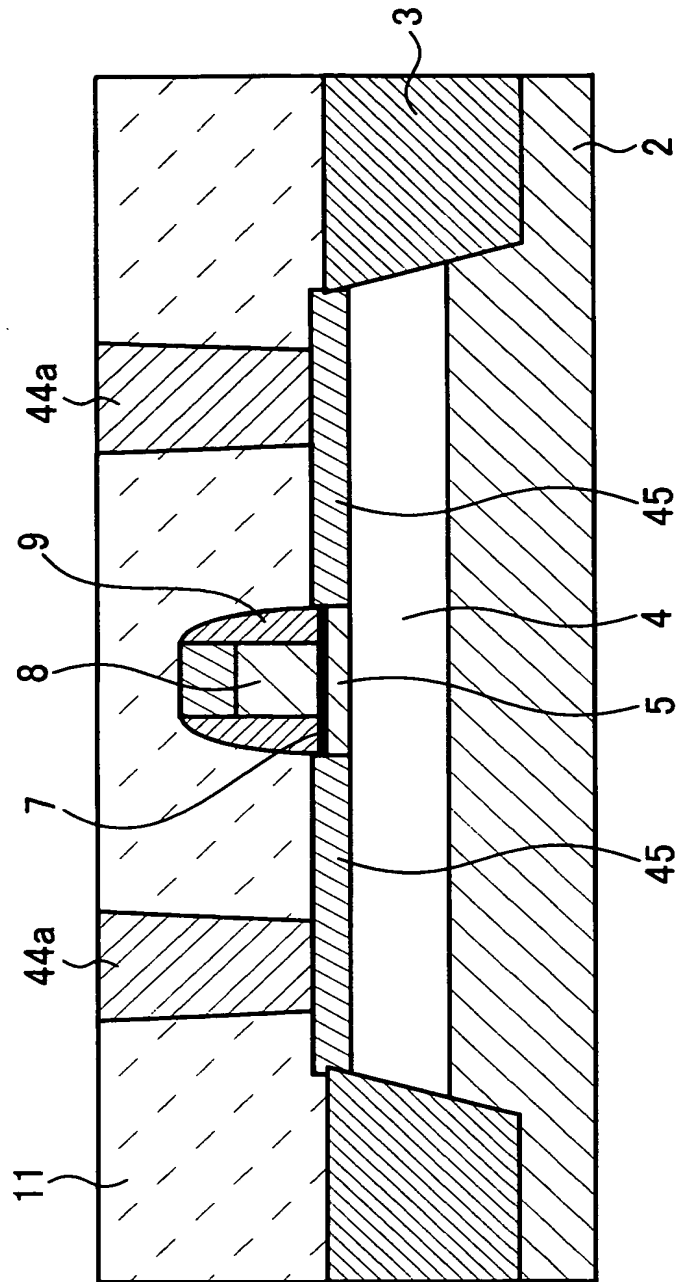
【図 42】



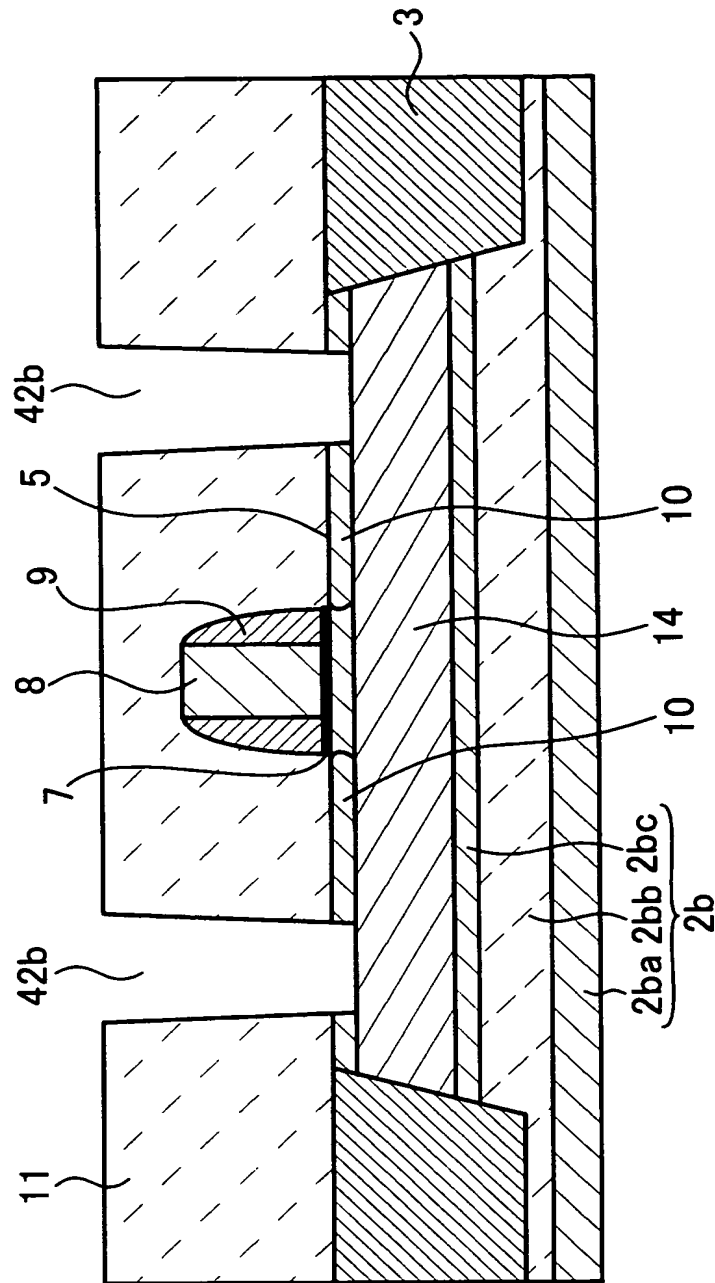
【図 43】



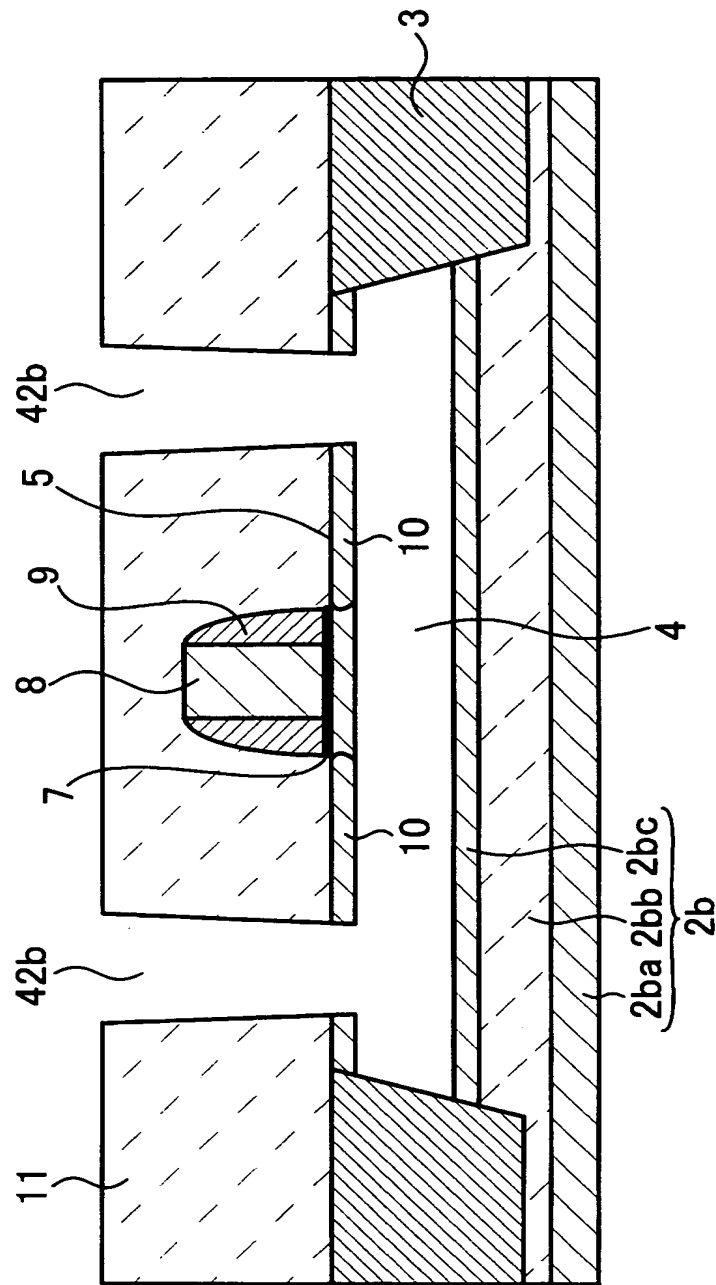
【図 44】



【図 45】



【図 46】



特願 2 0 0 3 - 3 3 2 3 8 3

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 2 2 3 ]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

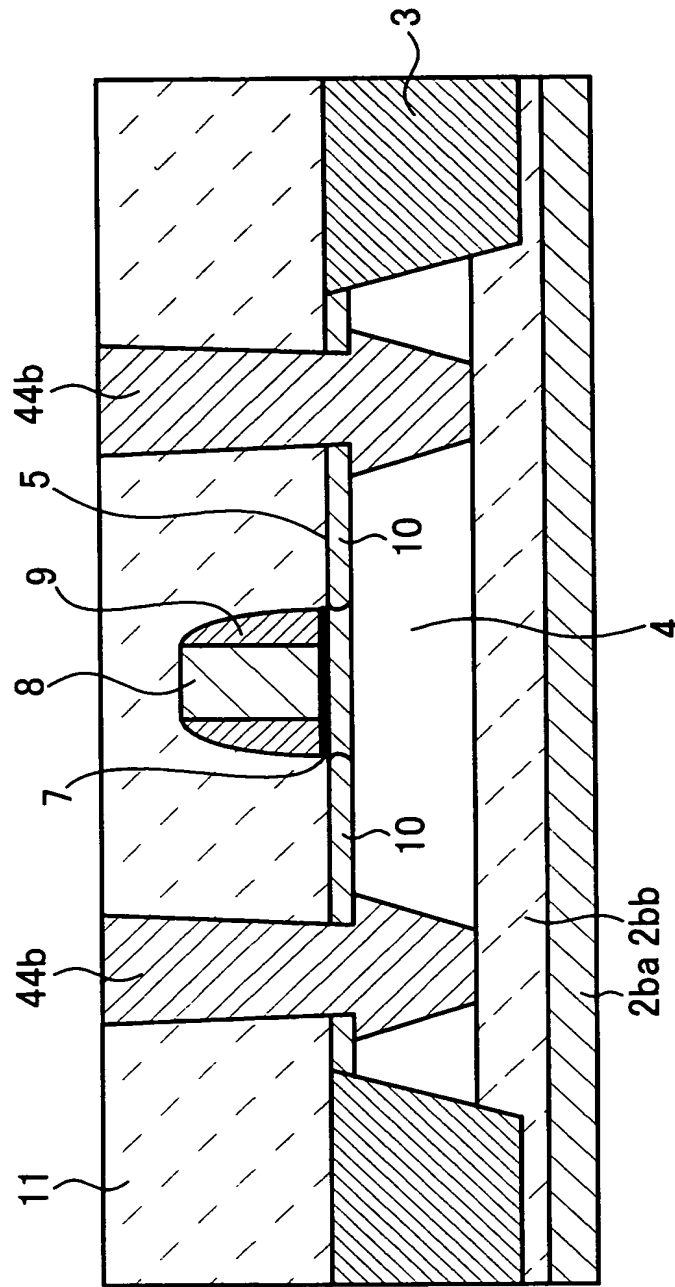
住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

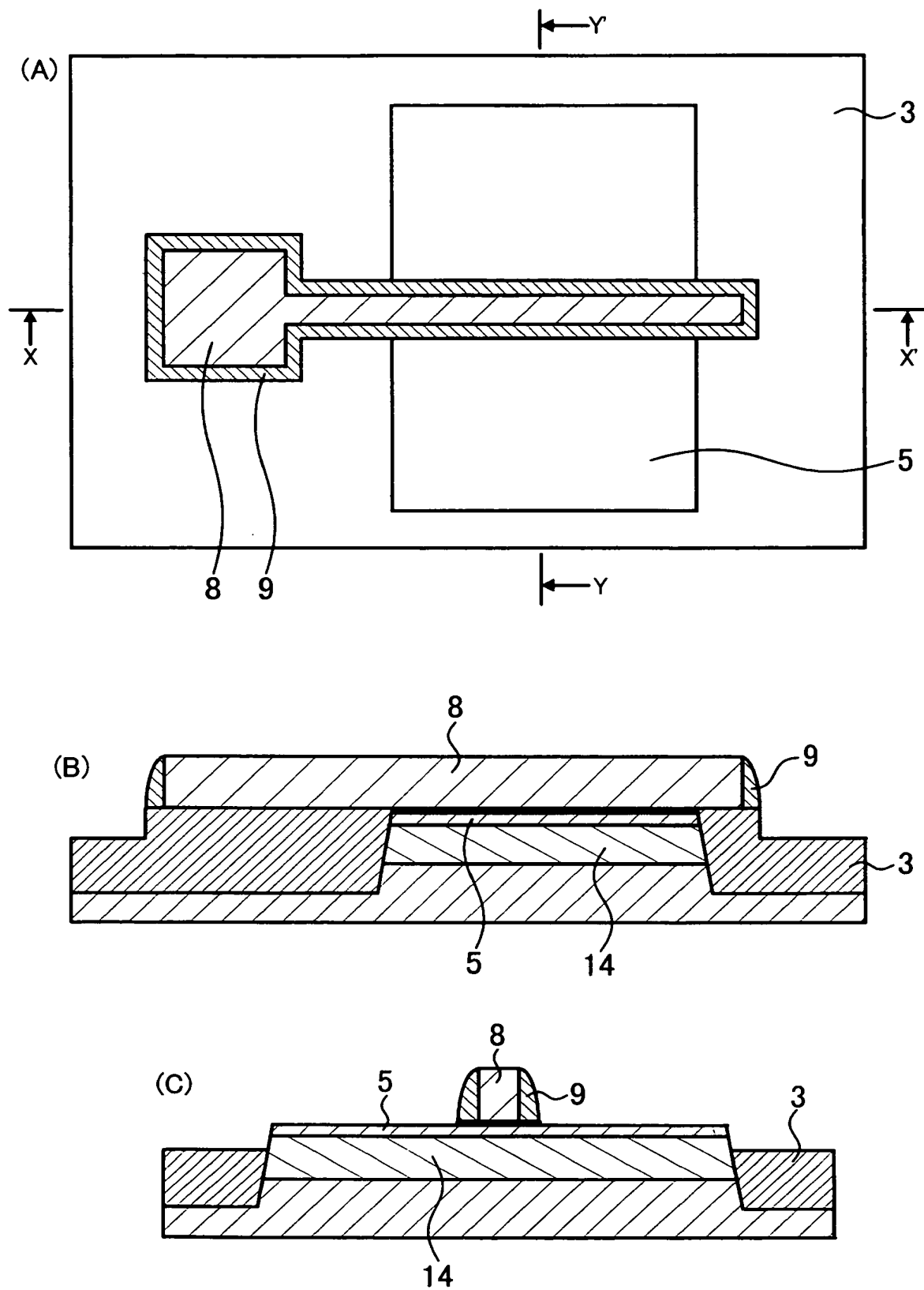
氏 名

富士通株式会社

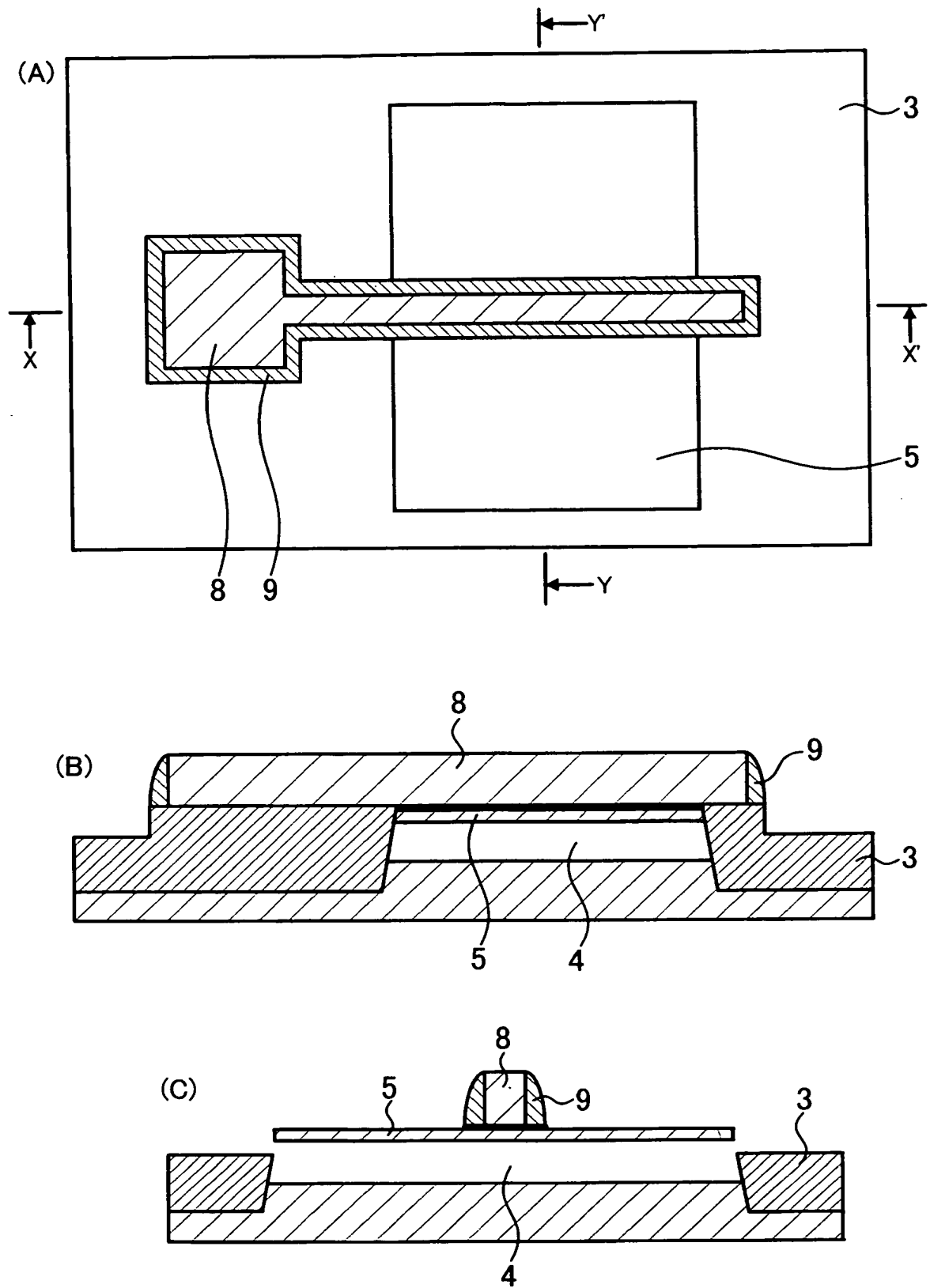
【図 47】



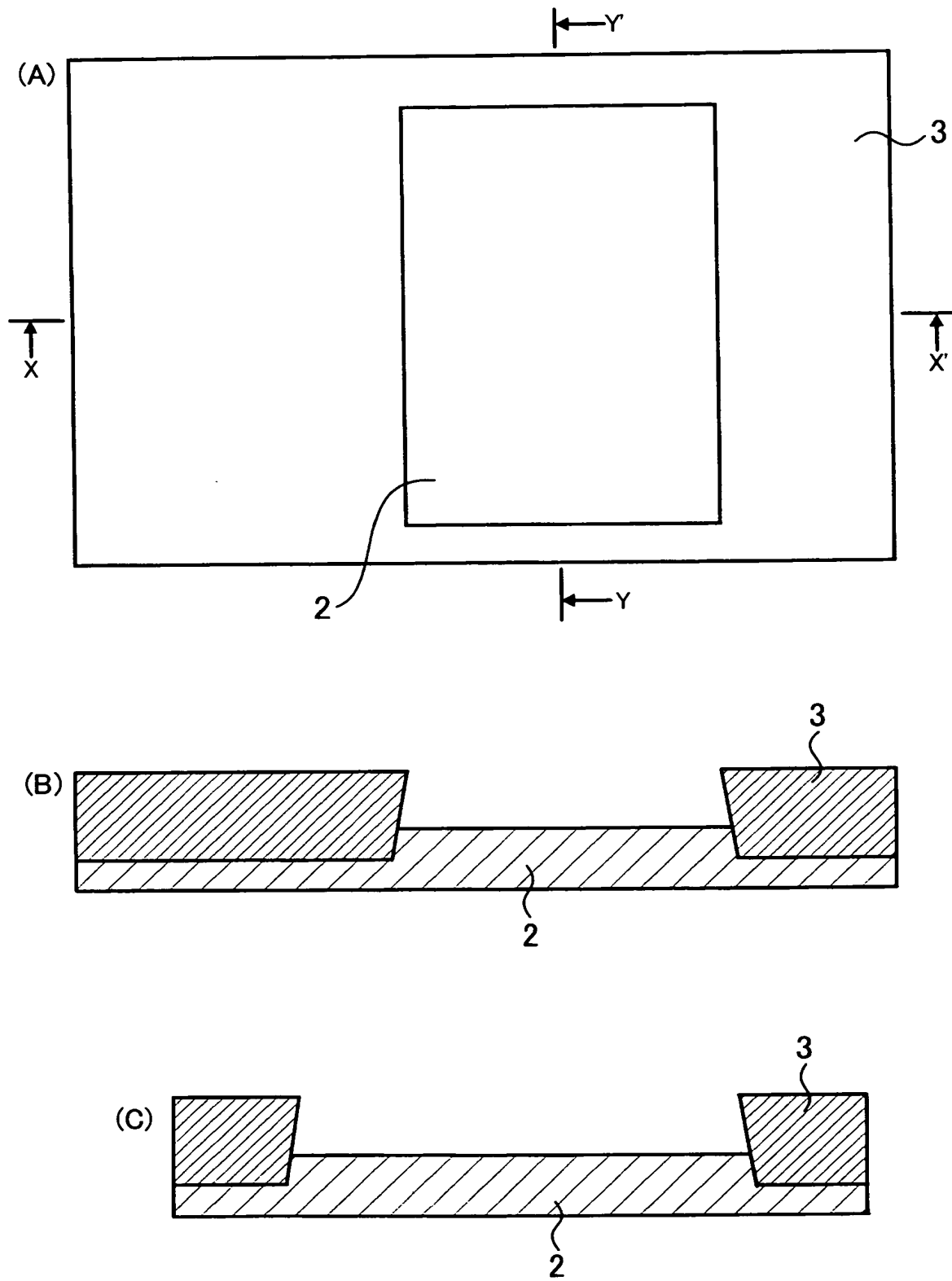
【図 48】



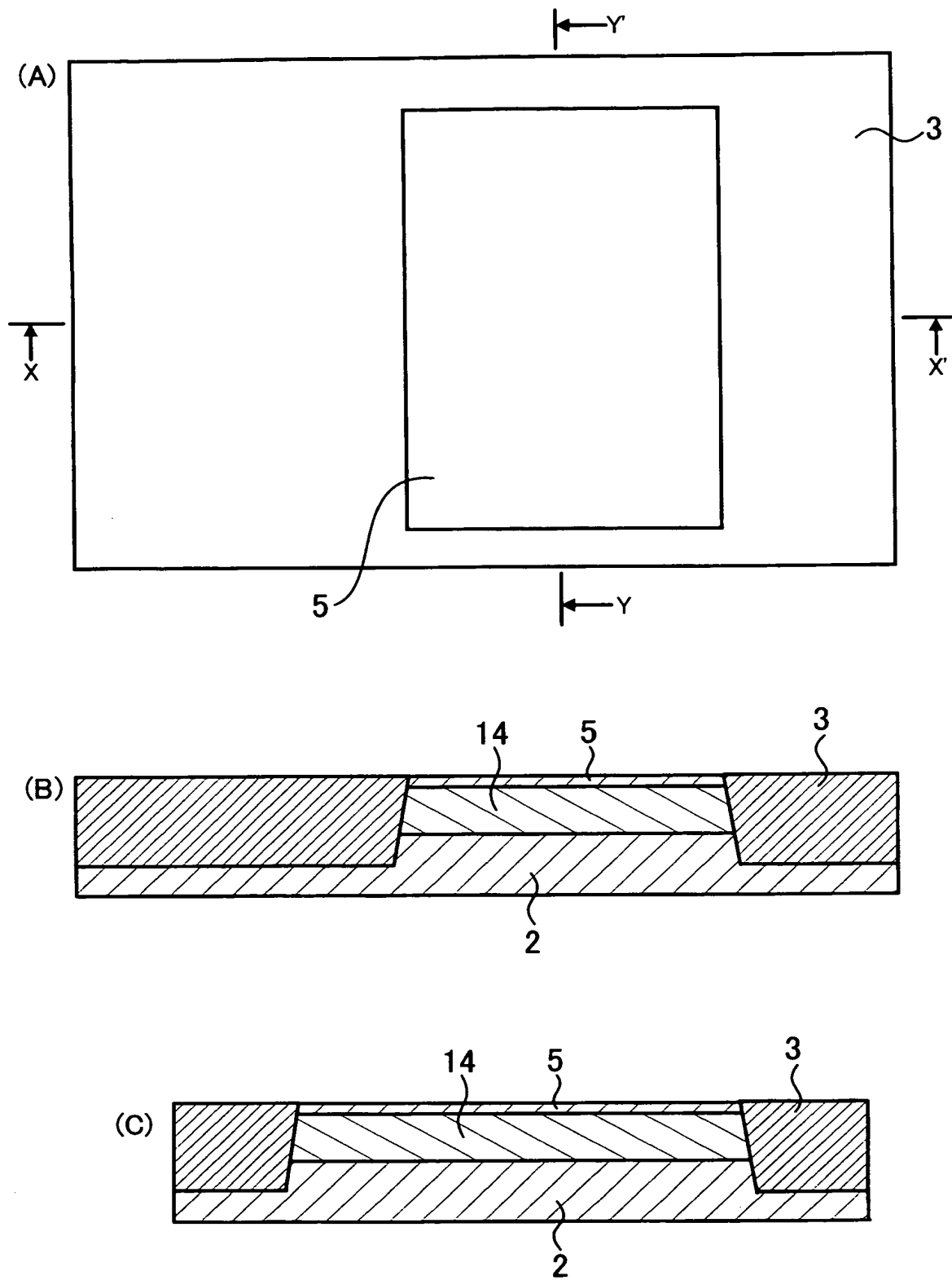
【図 49】



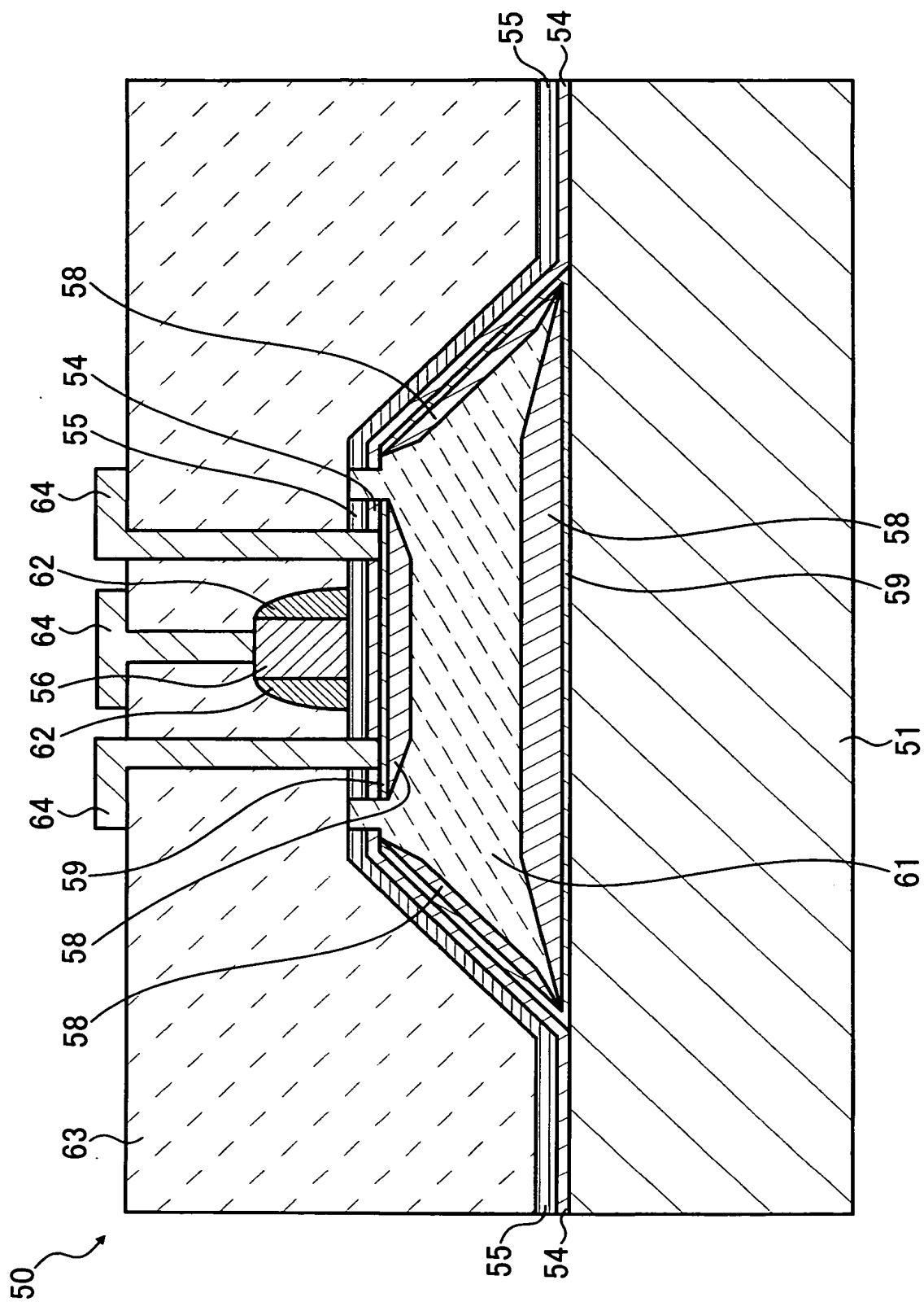
【図 50】



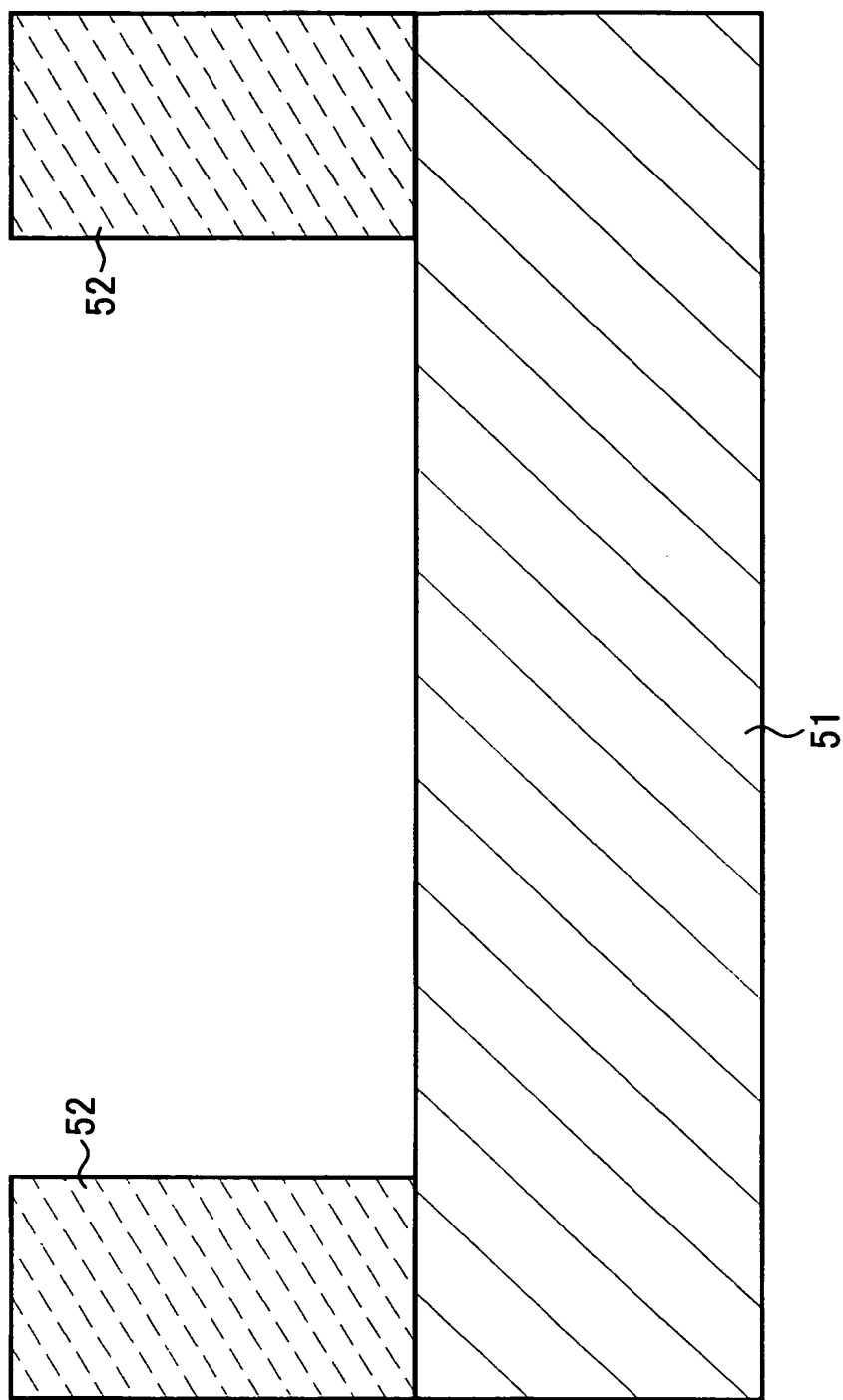
【図 51】



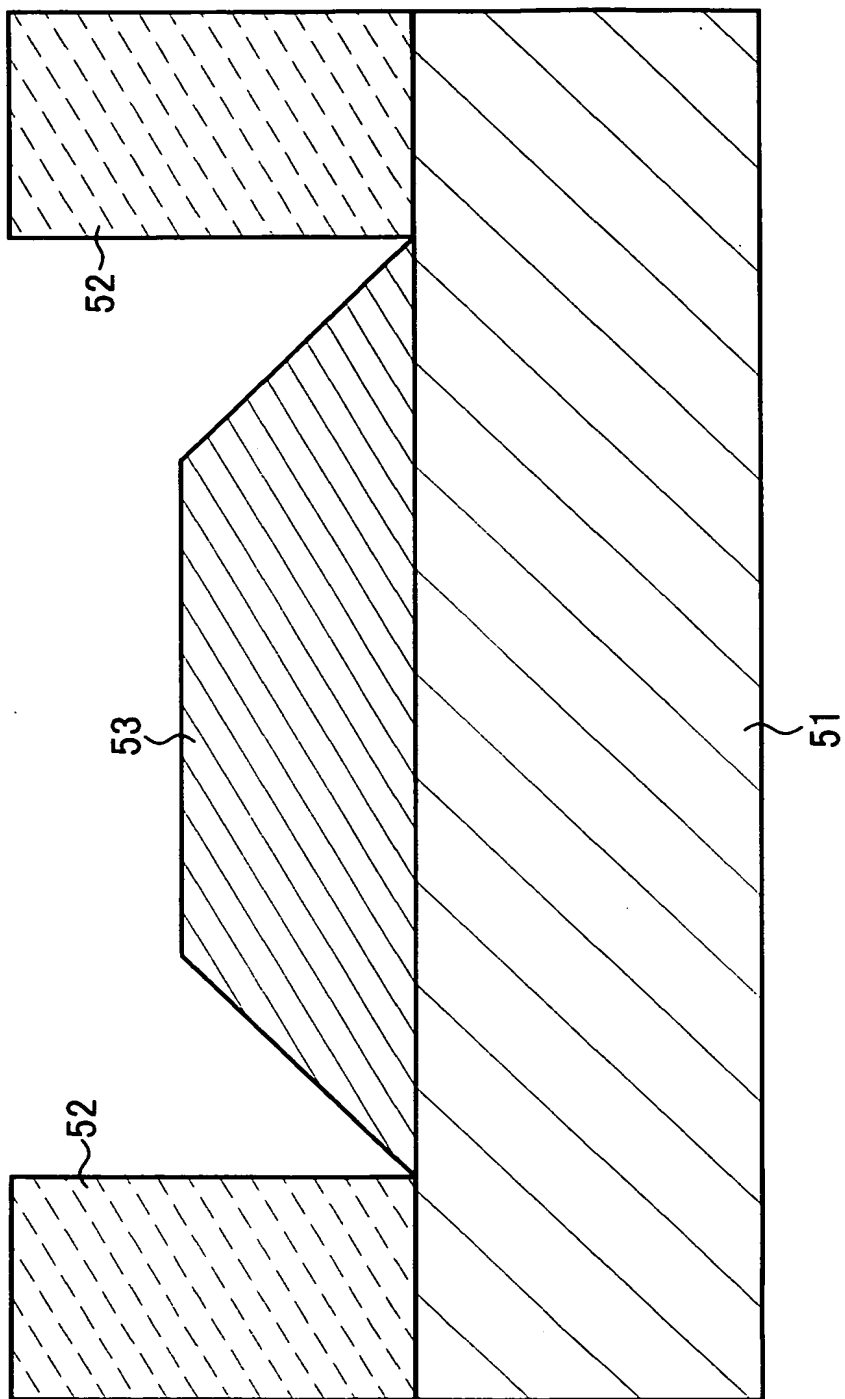
【図 52】



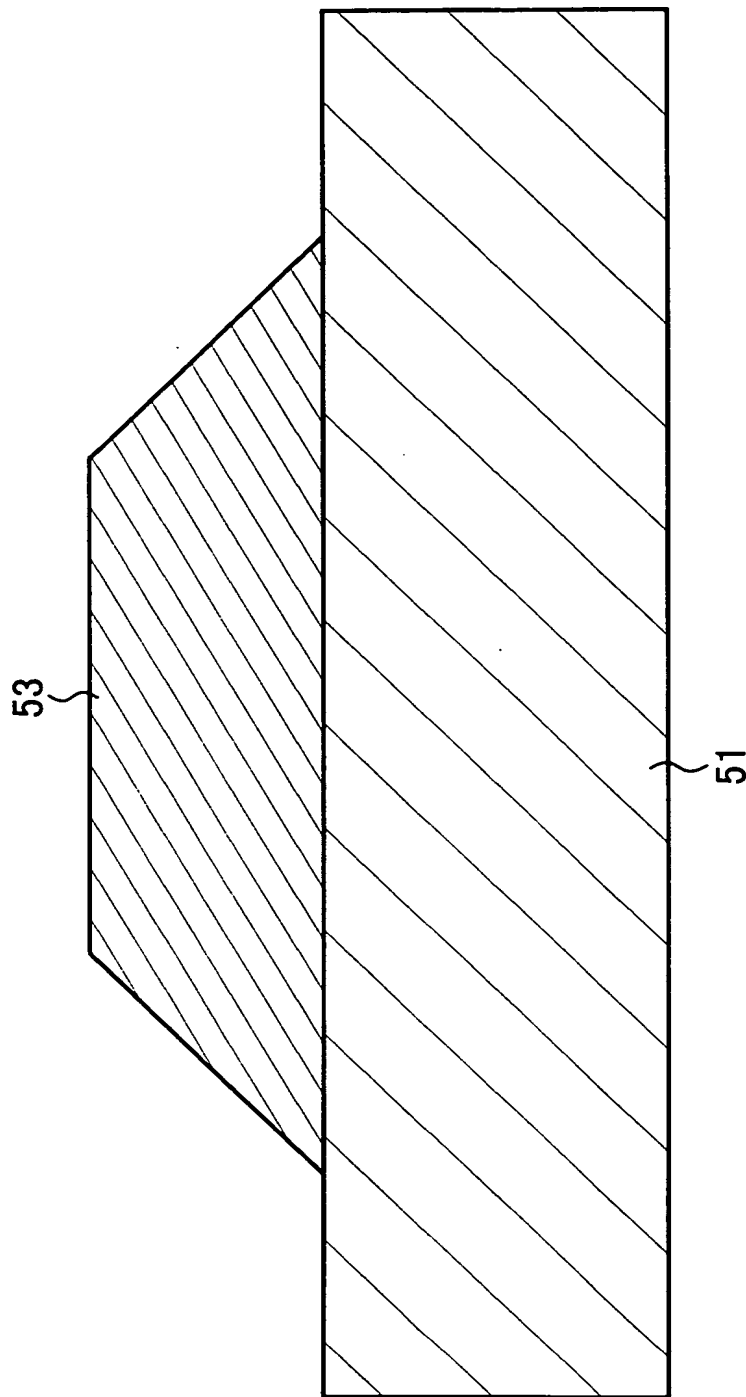
【図 53】



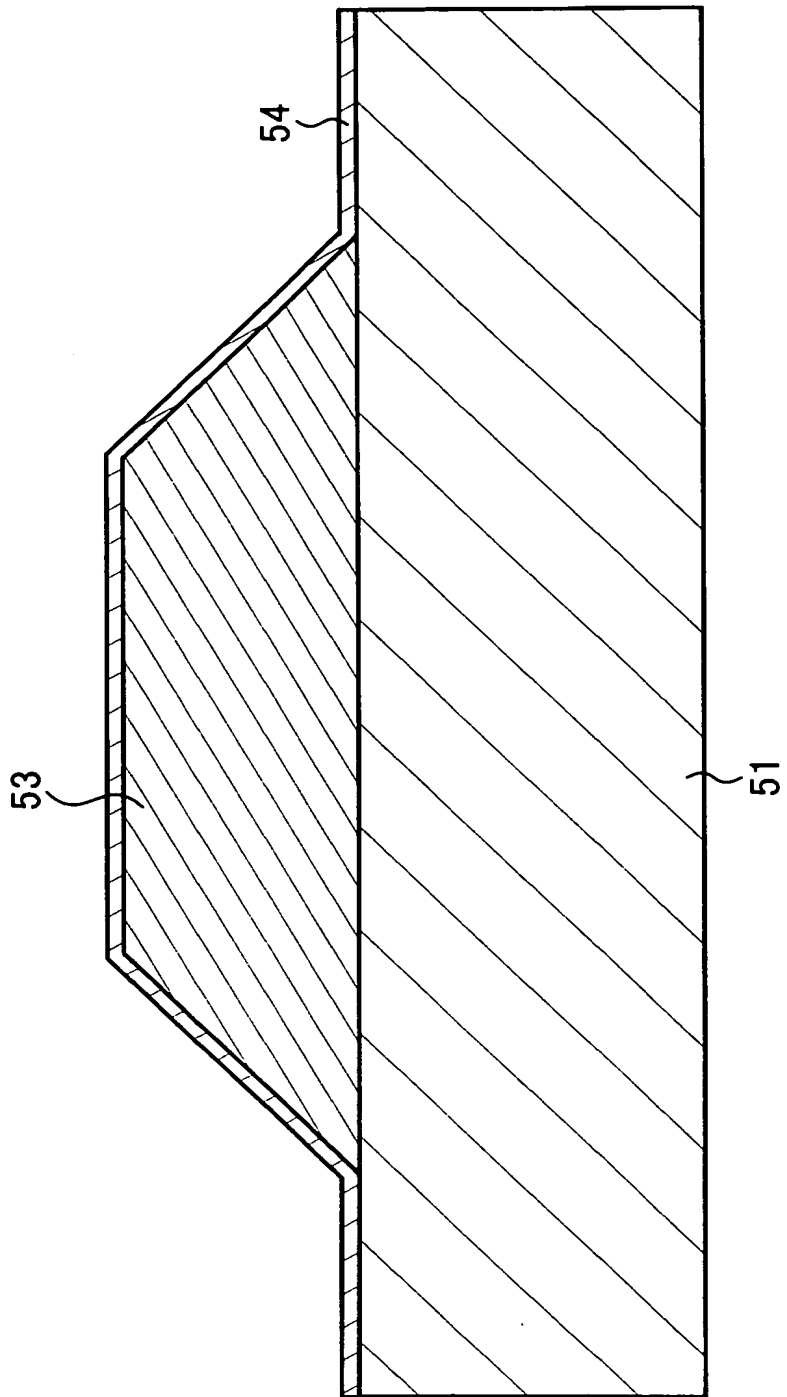
【図 54】



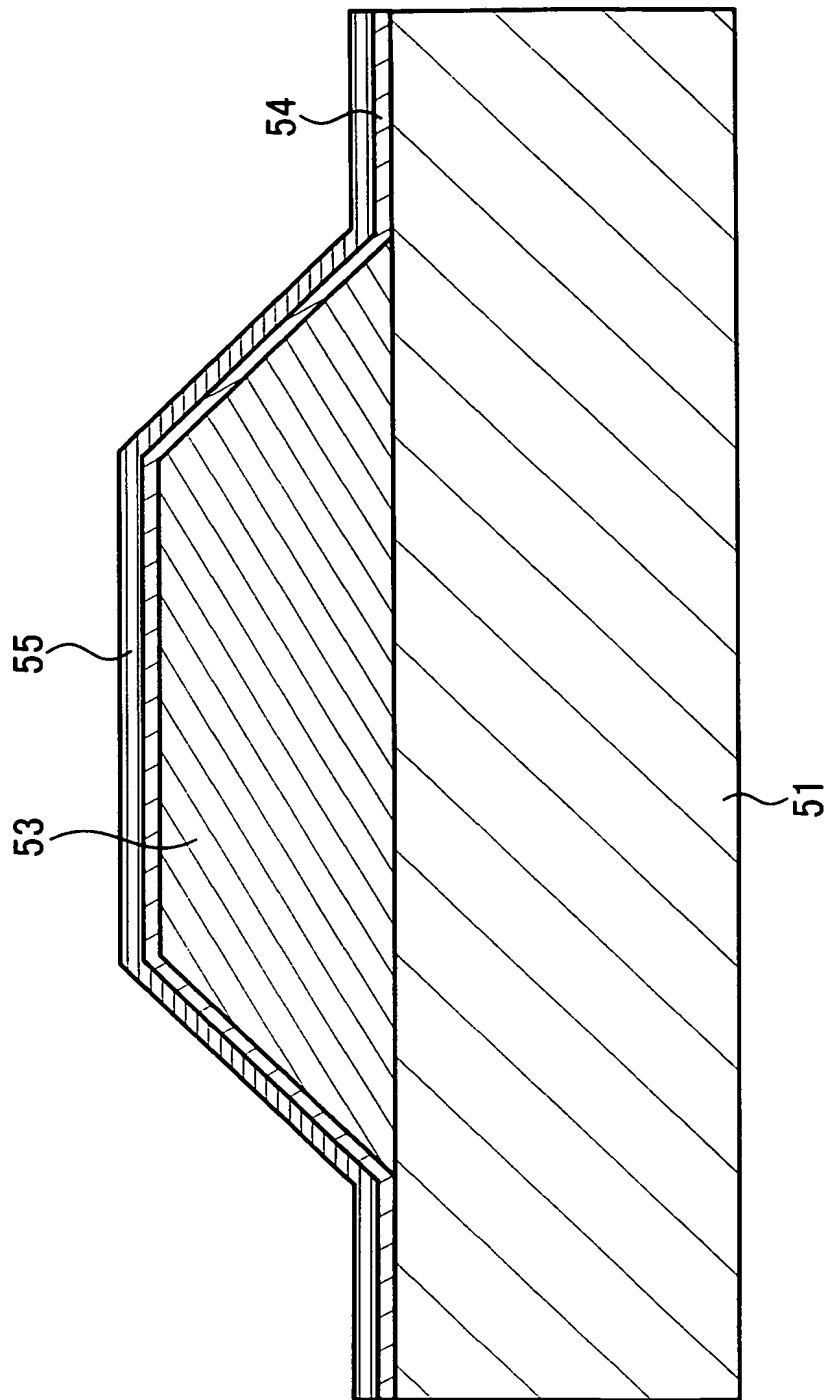
【図 55】



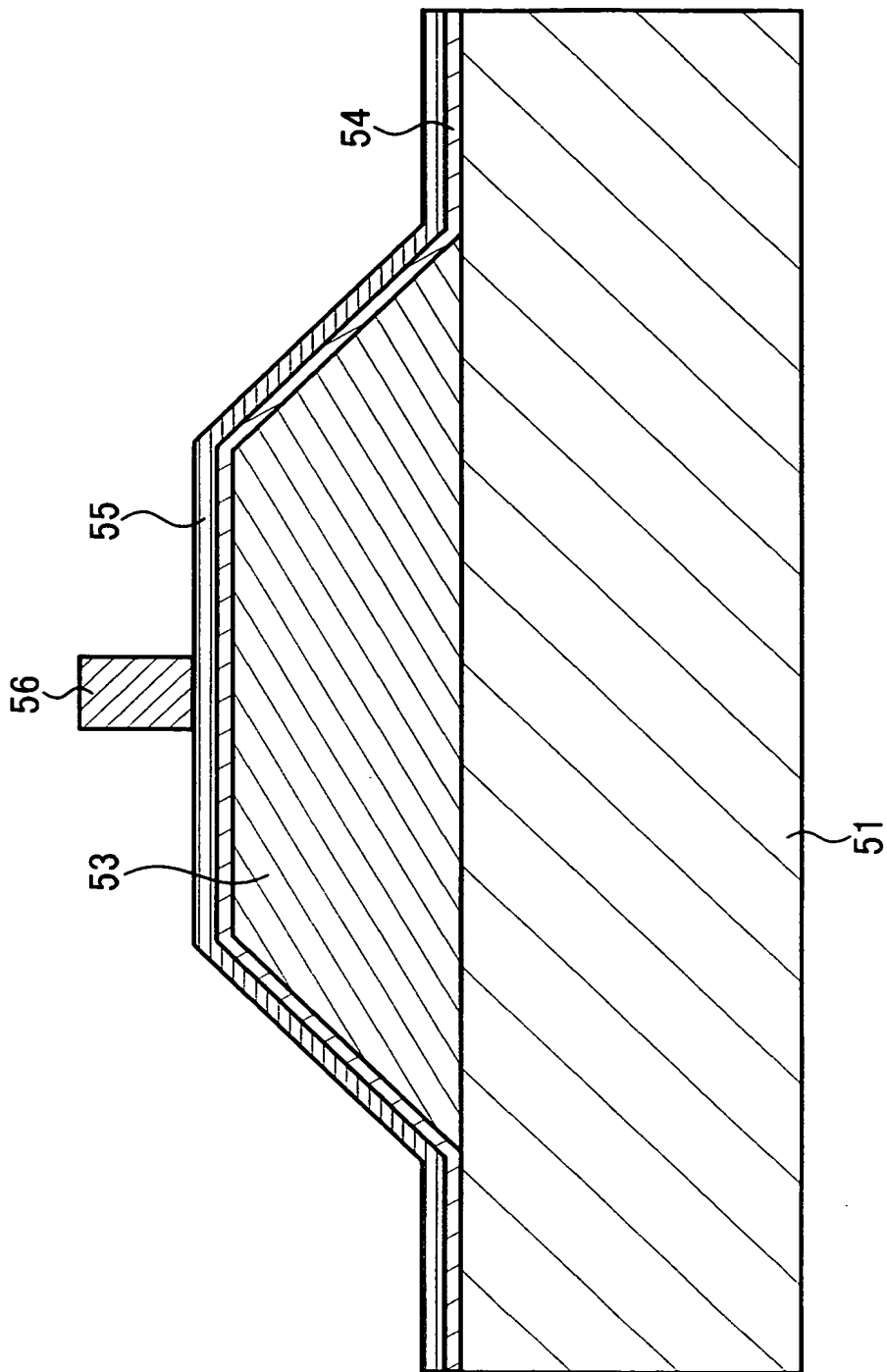
【図 56】



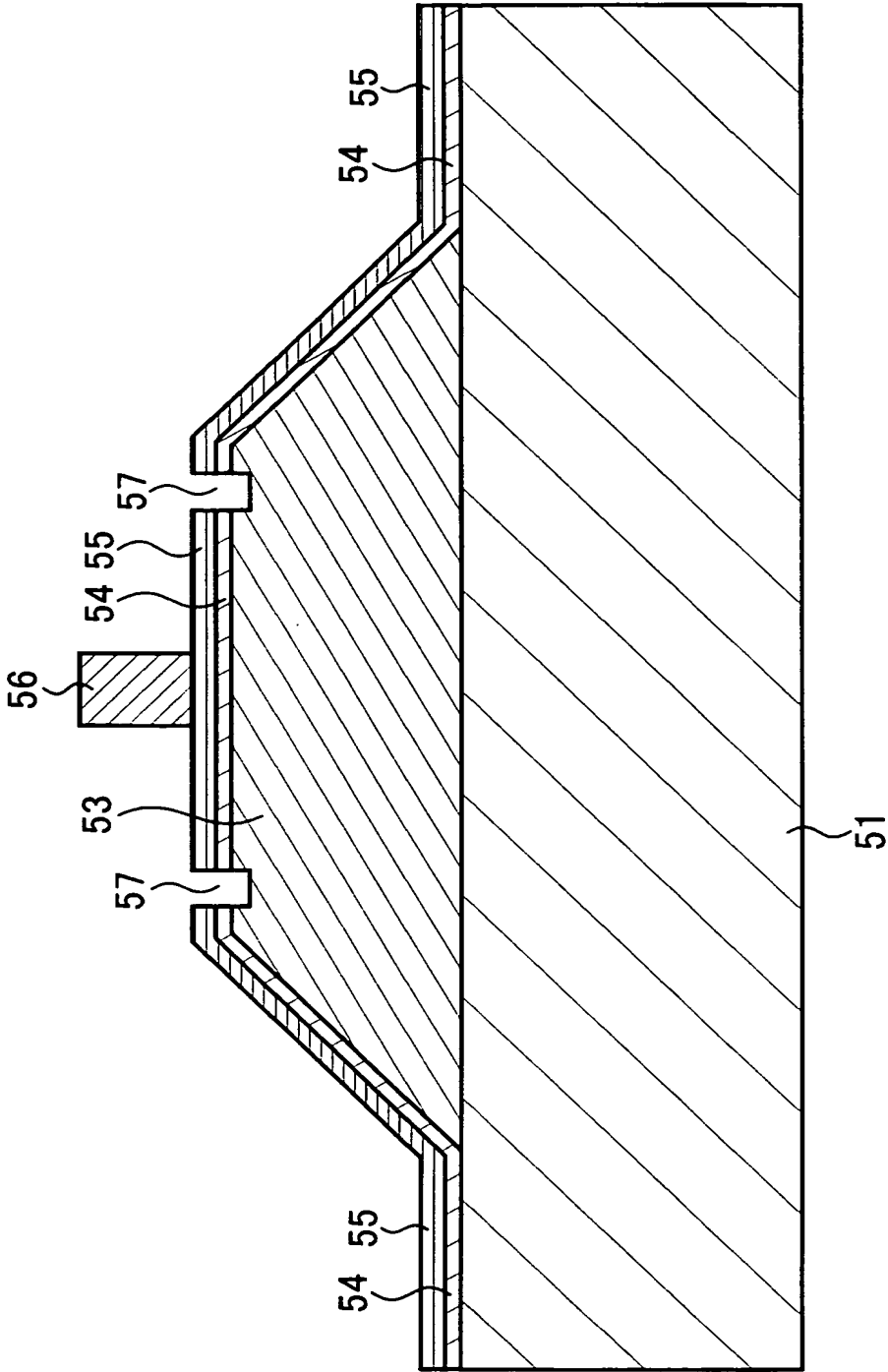
【図 57】



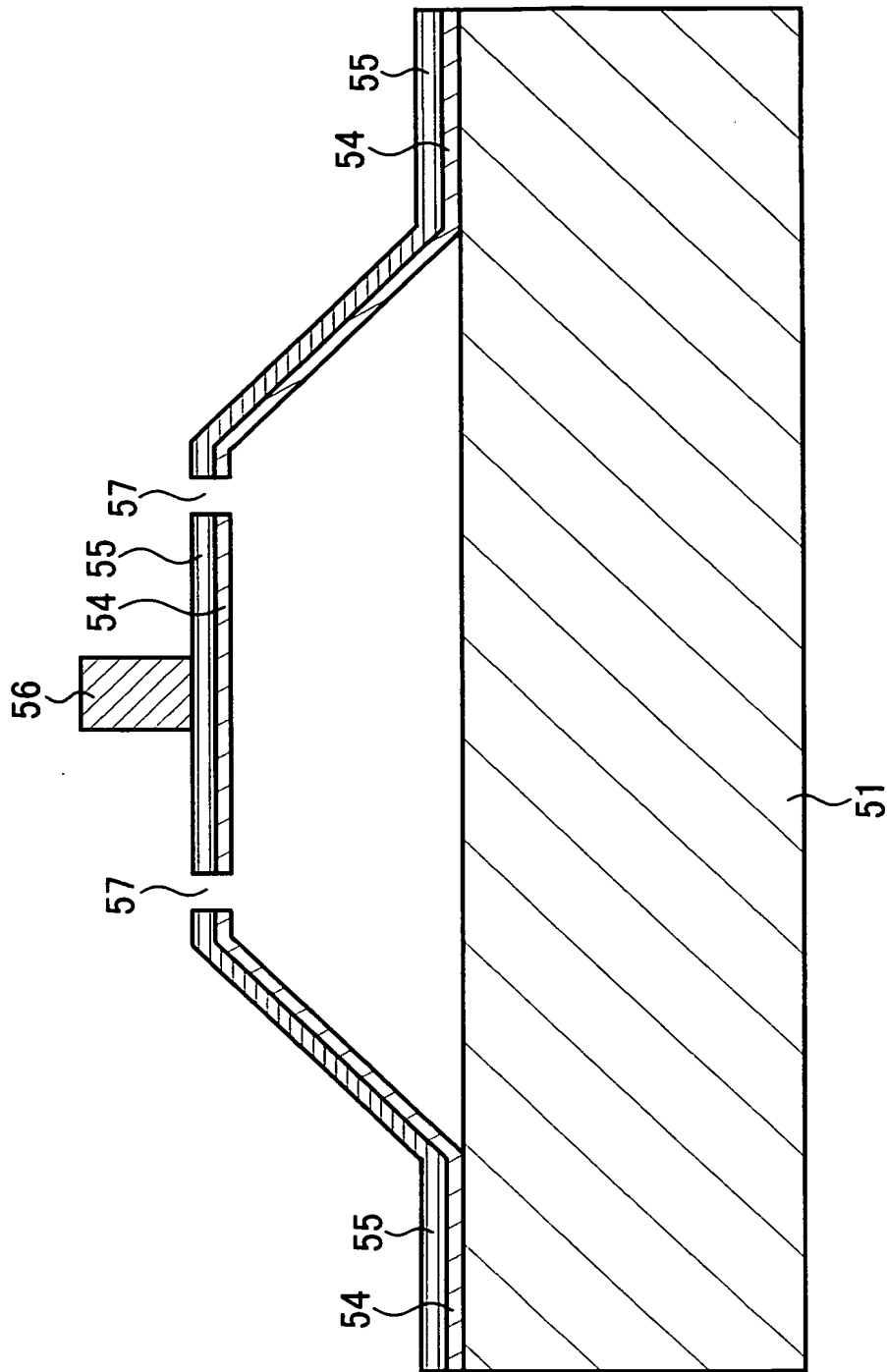
【図 58】



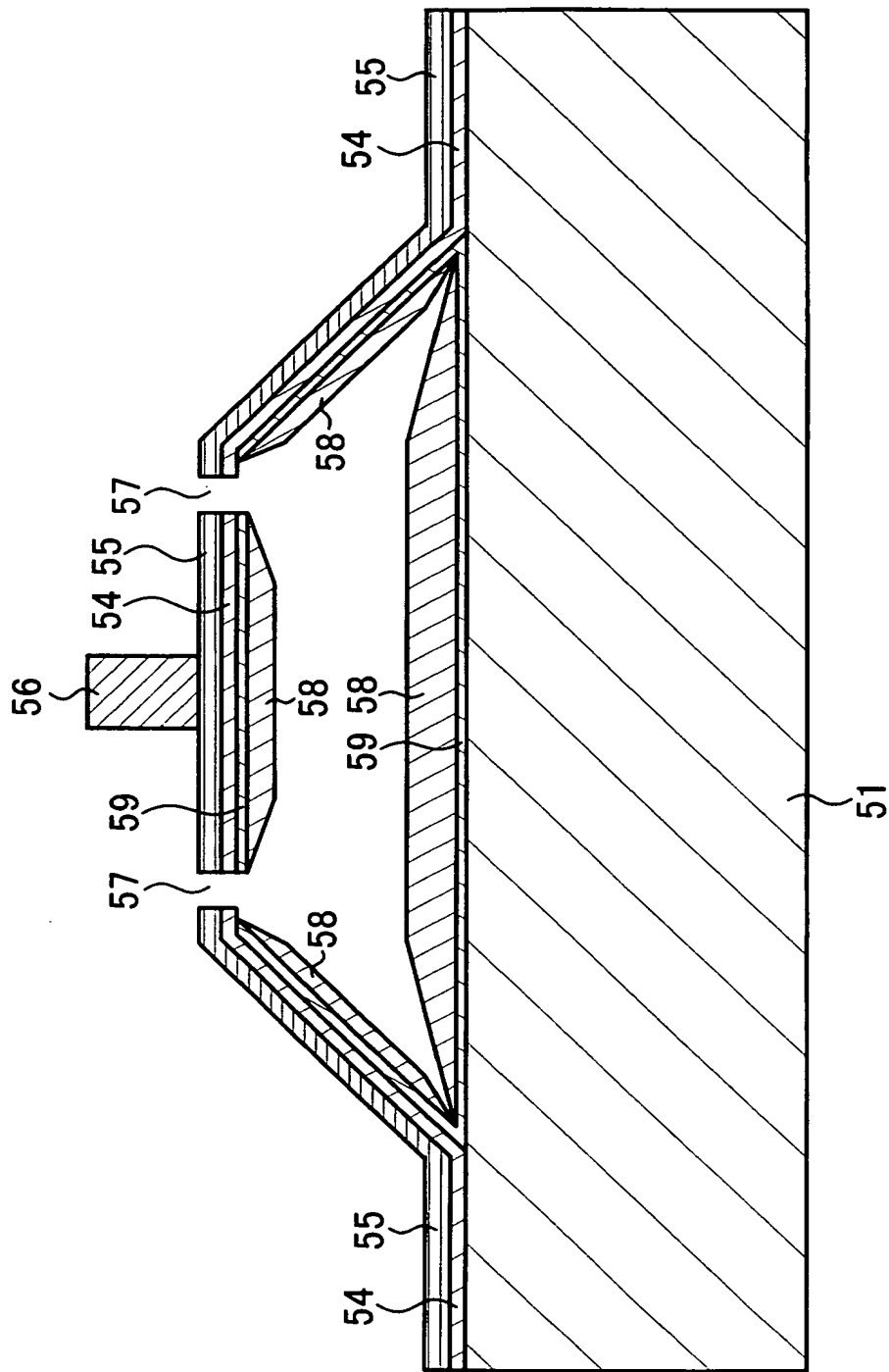
【図 59】



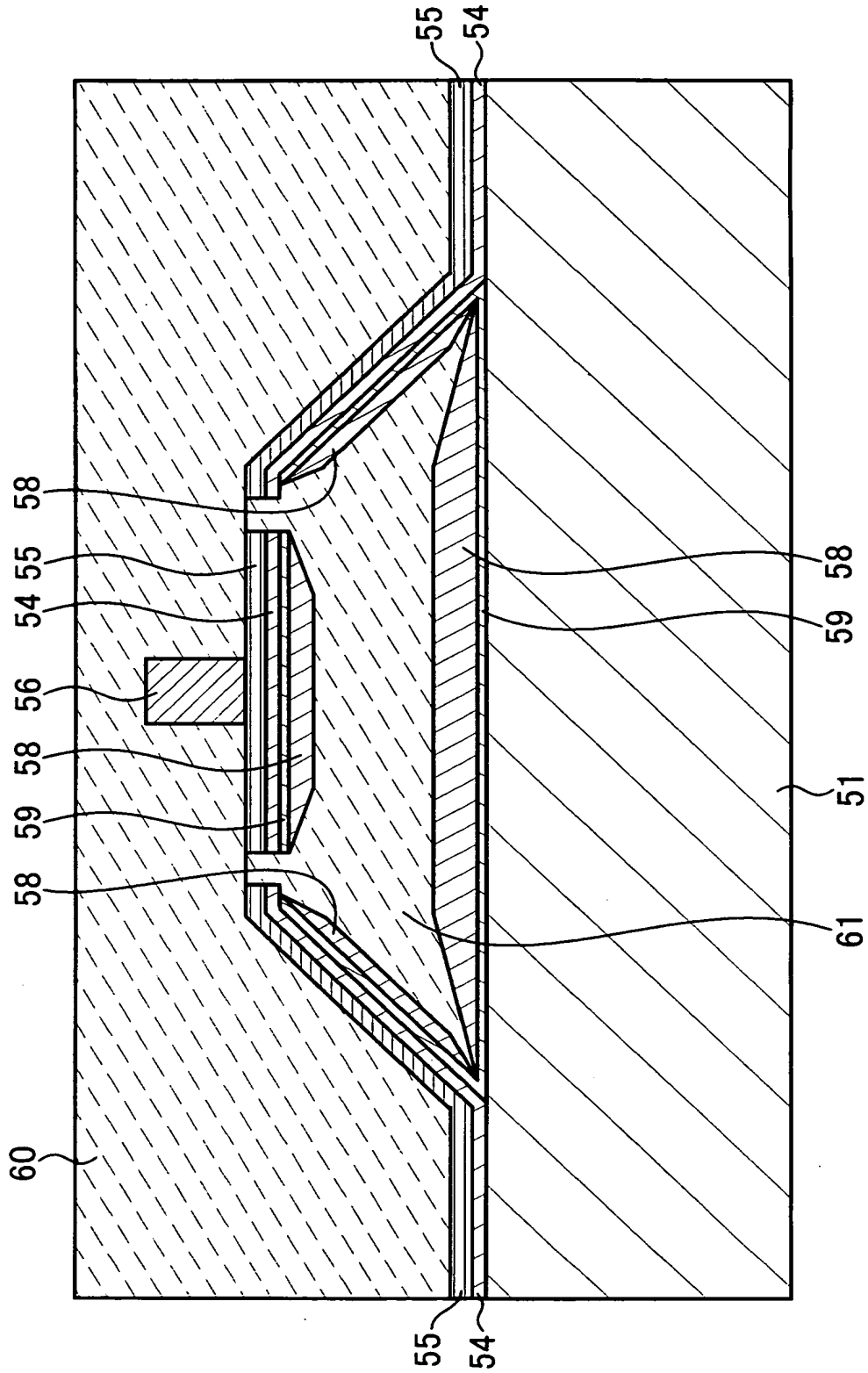
【図 60】



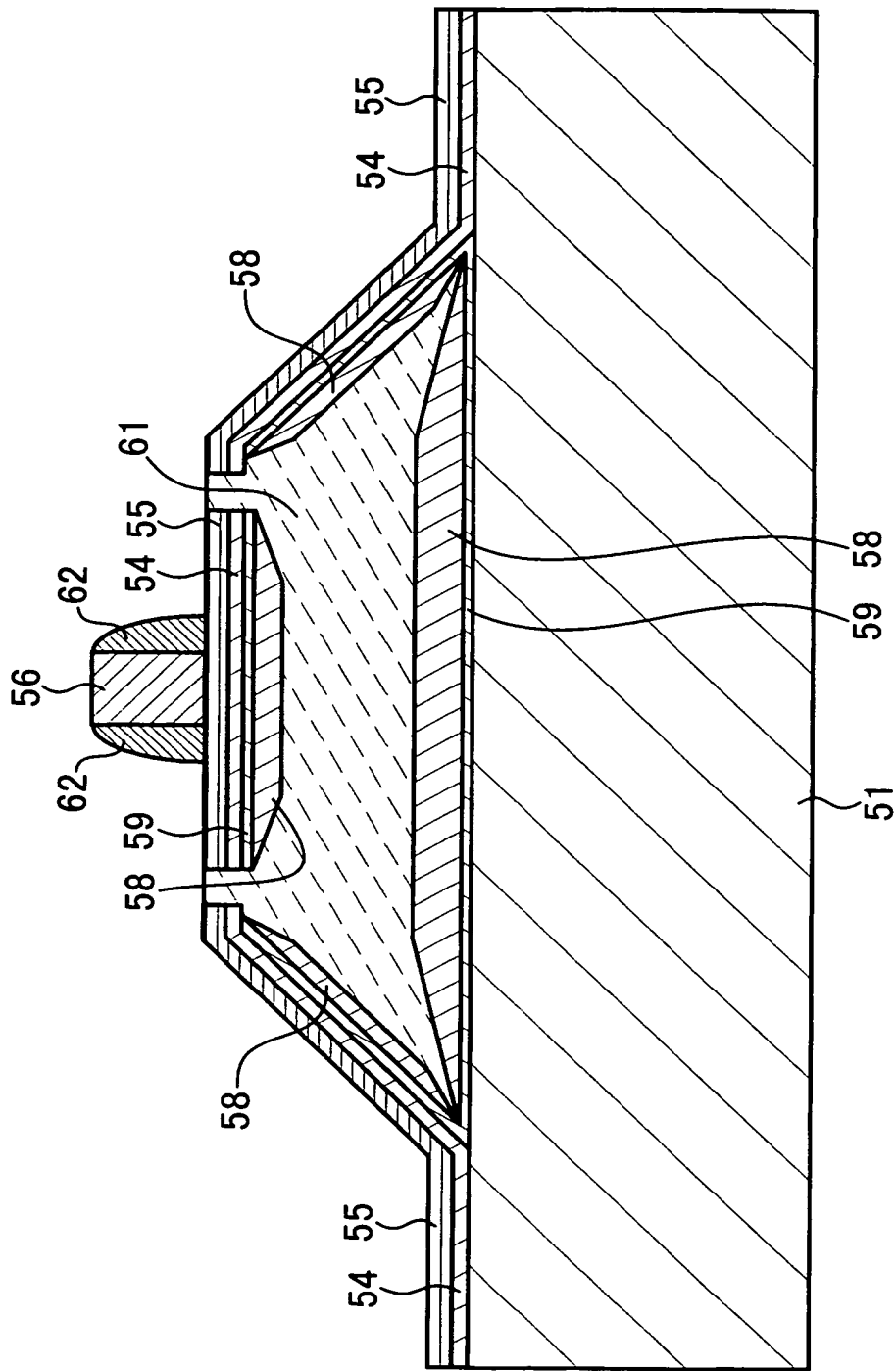
【図 61】



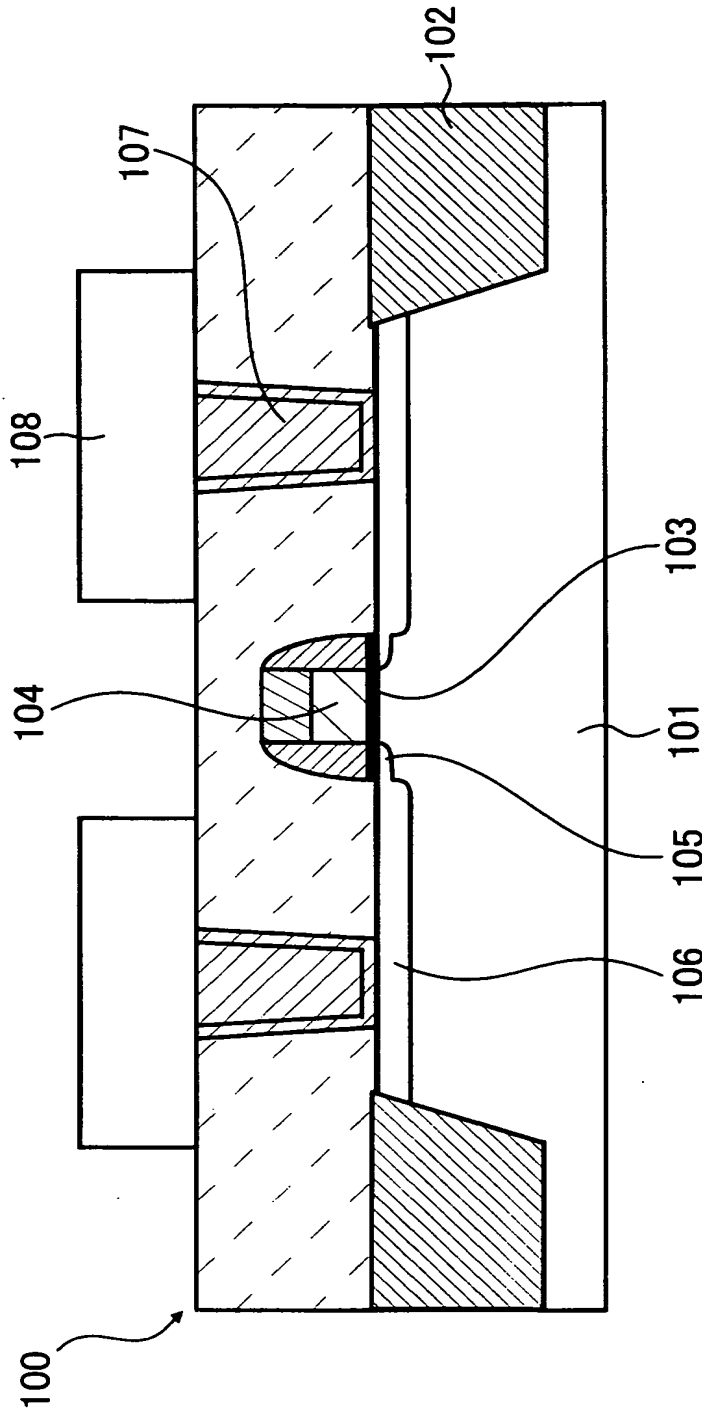
【図 62】



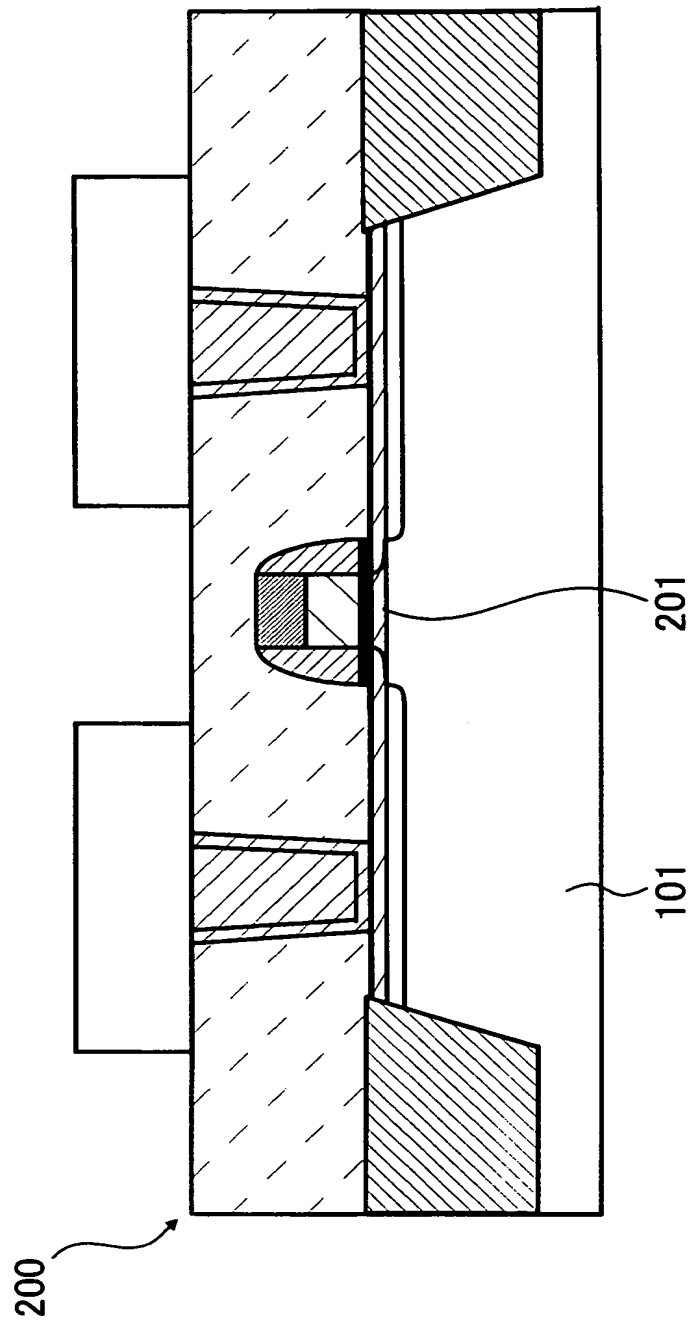
【図 6 3】



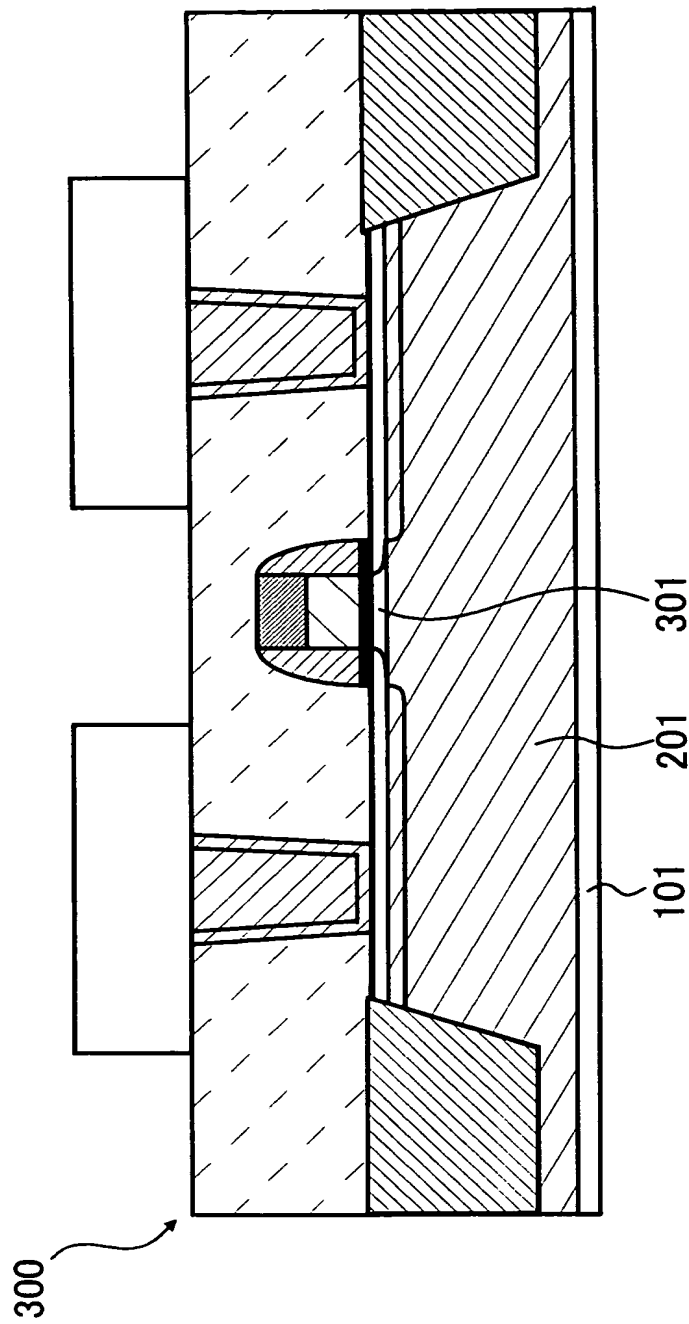
【図 64】



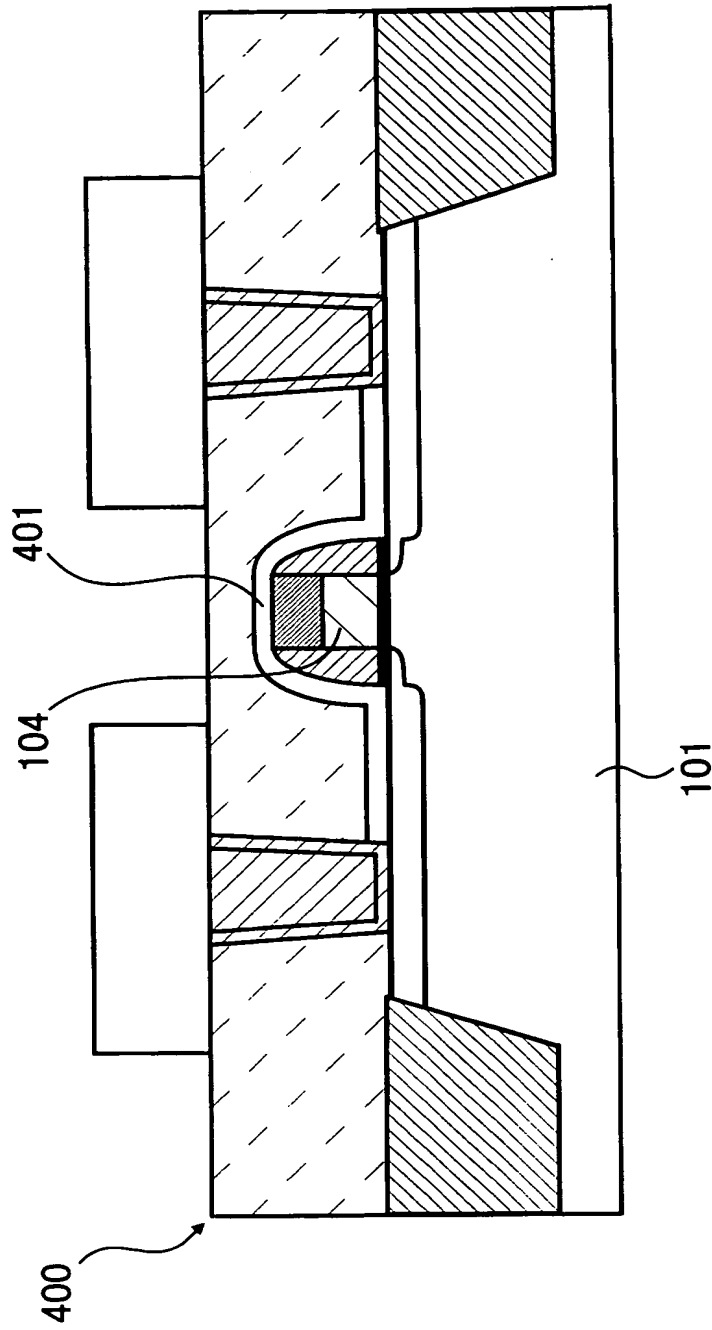
【図 65】



【図 66】



【図 67】



【書類名】 要約書

【要約】

【課題】 半導体装置の高速化、低消費電力化を図る。

【解決手段】 ソース・ドレイン 10 が形成される薄膜 Si 層 5 を、ゲート電極 8 直下の領域からソース・ドレイン 10 側の領域に向かって湾曲させる。これにより、薄膜 Si 層 5 内でソース・ドレイン 10 に挟まれたゲート電極 8 直下のチャンネル領域に歪みを発生させ、キャリア移動度を向上させる。さらに、湾曲した薄膜 Si 層 5 の下を空洞 4 にすることで p n 接合に起因する寄生容量が低減される。

【選択図】 図 1